



IPW

XA-10021
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Tetsuya ISHIMARU et al.

Appln. No.: 10/743,783

Group Art Unit: 2824

Filed: December 24, 2003

For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

* * *

TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENT

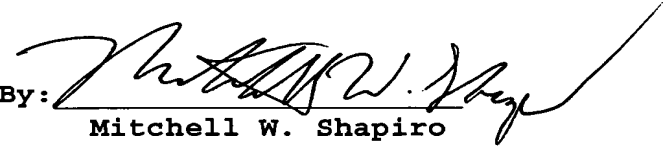
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of priority
Japanese Patent Application No. 2003-420916 filed December
18, 2003.

Respectfully submitted,

By:


Mitchell W. Shapiro
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

June 4, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 8 日
Date of Application:

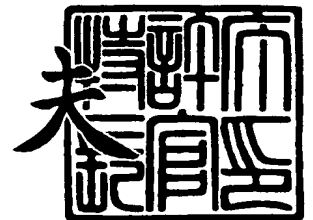
出 願 番 号 特 願 2 0 0 3 - 4 2 0 9 1 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 2 0 9 1 6]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 4 年 5 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 4 3 1 5 2

【書類名】 特許願
【整理番号】 H03012101
【提出日】 平成15年12月18日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
 中央研究所内
 【氏名】 石丸 哲也
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
 中央研究所内
 【氏名】 松崎 望
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
 中央研究所内
 【氏名】 久米 均
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
 【電話番号】 03-3366-0787
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-375921
 【出願日】 平成14年12月26日
【手数料の表示】
 【予納台帳番号】 006909
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0308729

【書類名】 特許請求の範囲**【請求項 1】**

- (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、
- (b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、
- (c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、
- (d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する第 2 絶縁膜と、を有し、
- (e) 前記第 1 導電体に正電位を印加した状態で、電子が蓄積された前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記 (e) の正孔の注入は、前記第 1 および第 2 半導体領域間に電流が流れる状態で行われることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記 (e) の正孔の注入を、前記第 1 および第 2 半導体領域間に $0.1 \sim 10 \mu A$ の電流を流して行うことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記 (e) の正孔の注入を、前記第 1 および第 2 半導体領域間に流れる電流値が一定となるよう回路的に自動制御して行うことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 5】

前記 (e) の消去により、前記第 2 導電体をゲート電極とする MISFET の閾値が低下することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】

前記第 1 半導体領域は、前記第 1 導電体側に位置し、前記第 2 半導体領域は、前記第 2 導電体側に位置し、

前記 (e) の正孔は、前記第 1 導電体に第 1 電位を印加し、前記第 2 半導体領域に第 2 電位を印加することにより、前記第 1 および第 2 半導体領域間に流れる電子を前記第 2 電位により加速し、インパクトイオン化現象を起こすことにより形成されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】

前記 (e) の正孔の注入位置は、前記第 2 絶縁膜の前記第 1 導電体側の端部近傍であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】

前記 (e) の電荷蓄積部に蓄積された電子の分布は、前記第 1 導電体側の端部近傍にピークを有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】

前記 (e) の電荷蓄積部に蓄積された電子は、前記第 1 導電体と前記第 2 導電体に異なる電位を印加することにより、前記第 1 導電体と前記第 2 導電体との境界下の前記半導体基板中から注入された電子であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】

前記 (e) の正孔を電荷蓄積部に注入するときに前記第 2 半導体領域に印加する電位と前記 (e) の電子を電荷蓄積部に注入するときに前記第 2 半導体領域に印加する電位が等しく、前記 (e) の正孔を電荷蓄積部に注入するときに前記第 1 および第 2 半導体領域間に流れる電流と前記 (e) の電子を電荷蓄積部に注入するときに前記第 1 および第 2 半導体領域間に流れる電流が等しいことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 11】

前記 (e) の正孔を電荷蓄積部に注入するときに前記第 2 半導体領域に印加する電位が

前記(e)の電子を電荷蓄積部に注入するときに前記第2半導体領域に印加する電位よりも大きく、前記(e)の正孔を電荷蓄積部に注入するときに前記第1および第2半導体領域間に流れる電流と前記(e)の電子を電荷蓄積部に注入するときに前記第1および第2半導体領域間に流れる電流が等しいことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項12】

前記(e)の正孔を電荷蓄積部に注入するときに前記第2半導体領域に印加する電位と前記(e)の電子を電荷蓄積部に注入するときに前記第2半導体領域に印加する電位が等しく、前記(e)の正孔を電荷蓄積部に注入するときに前記第1および第2半導体領域間に流れる電流が前記(e)の電子を電荷蓄積部に注入するときに前記第1および第2半導体領域間に流れる電流よりも大きいことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項13】

前記電荷蓄積部は、前記第2絶縁膜中に形成されたトラップ性絶縁膜であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項14】

前記電荷蓄積部は、前記第2絶縁膜中に形成された窒化膜であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項15】

前記第2絶縁膜は、第1酸化膜、窒化膜および第2酸化膜の積層膜であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項16】

前記第1および第2酸化膜は、3nm以上であることを特徴とする請求項15記載の不揮発性半導体記憶装置。

【請求項17】

前記電荷蓄積部は、前記第2絶縁膜中に形成された複数の導電性の微粒子であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項18】

(f) 前記第2導電体の下部の前記半導体基板中には、第3半導体領域が形成され、

(f1) 前記第3半導体領域を構成する不純物の導電型は、前記第2導電体側に位置する前記第2半導体領域を構成する不純物の導電型と同じであり、

(f2) 前記第3半導体領域の不純物濃度は、前記第2半導体領域の不純物濃度より低いことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項19】

前記(e)の消去は、前記第2導電体側に位置する前記第2半導体領域に他の電位を印加しつつ行われ、前記第2半導体領域から延びる空乏層は、前記第1導電体と前記第2導電体との境界部下の前記半導体基板まで延びることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項20】

前記電荷蓄積部に電荷が蓄積されていない状態において、

前記第2導電体をゲート電極とするMISFETの閾値は、負であり、前記第1導電体をゲート電極とするMISFETの閾値より小さいことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項21】

(a) 半導体基板中に形成された第1および第2半導体領域と、

(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、

(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、

(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、を有し、

(e) 前記第 1 および第 2 半導体領域間に電流が流れる状態で、電子が蓄積された前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2 2】

- (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、
- (b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、
- (c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、
- (d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する第 2 絶縁膜と、を有し、
- (e) 前記第 1 導電体および第 2 導電体に異なる電位を印加した状態で、前記第 1 および第 2 半導体領域間に流れる電子を前記第 2 絶縁膜の前記第 1 導電体側の端部近傍に蓄積することにより書き込みを行い、
- (f) 前記第 1 導電体に正電位を印加した状態で、前記第 1 および第 2 半導体領域間に生じた正孔を前記第 2 絶縁膜の前記第 1 導電体側の端部近傍に注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2 3】

- (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、
- (b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、
- (c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、
- (d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する第 2 絶縁膜と、
- を有するメモリセルが、複数アレイ状に配置され、
- (e) 前記複数のメモリセルのうち、
第 1 方向に並ぶ前記メモリセルの前記第 1 導電体を接続する第 1 線と、
前記第 1 方向と直交する第 2 方向に並ぶ前記メモリセルの、前記第 1 導電体側に位置する前記第 1 半導体領域を接続する第 2 線と、
を複数有し、
- (f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第 1 線に正電位を印加した状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2 4】

前記 (f) の正孔は、前記選択メモリセルに接続される前記第 1 線および前記選択メモリセルの前記第 2 半導体領域に電位を印加することにより、前記選択メモリセルの前記第 1 および第 2 半導体領域間に流れる電子を前記第 2 半導体領域に印加された電位により加速し、インパクトイオン化現象を起こすことにより形成されることを特徴とする請求項 2 3 記載の不揮発性半導体記憶装置。

【請求項 2 5】

前記 (f) の正孔の注入位置は、前記選択メモリセルの前記第 2 絶縁膜の前記第 1 導電体側の端部近傍であることを特徴とする請求項 2 3 記載の不揮発性半導体記憶装置。

【請求項 2 6】

前記 (f) の電荷蓄積部に蓄積された電子は、前記選択メモリセルの前記第 1 導電体と前記第 2 導電体に異なる電位を印加することにより、前記第 1 導電体と前記第 2 導電体との境界下の前記半導体基板中から注入された電子であることを特徴とする請求項 2 3 記載の不揮発性半導体記憶装置。

【請求項 2 7】

- 前記 (f) の消去は、
(f 1) 前記選択メモリセルに接続される前記第 1 線に第 1 電位を印加し、前記選択メモリセルに接続される前記第 2 線に前記第 1 電位より小さい第 2 電位を印加した状態で、

消去を行い、

(f 2) 前記選択メモリセルに接続される前記第 1 線に接続される他のメモリセルに接続される前記第 2 線には、前記第 1 電位以上の第 3 電位を印加することにより消去を禁止し、

単一の前記選択メモリセル毎に行うことを特徴とする請求項 23 記載の不揮発性半導体記憶装置。

【請求項 28】

前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち単一の第 1 線に第 1 電位を印加し、

(f 2) 前記複数の第 2 線に前記第 1 電位より小さい第 2 電位を印加することにより、前記第 1 方向に並ぶ前記メモリセルの群毎に行うことを特徴とする請求項 23 記載の不揮発性半導体記憶装置。

【請求項 29】

前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち n 本の前記第 1 線に第 1 電位を印加し、

(f 2) 前記複数の第 2 線のうち m 本の前記第 2 線に前記第 1 電位より小さい第 2 電位を印加することにより、

$n \times m$ 個の前記メモリセルのブロック毎に行うことを特徴とする請求項 23 記載の不揮発性半導体記憶装置。

【請求項 30】

前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち前記選択メモリセルに接続される前記第 1 線には、第 1 電位 V_1 を印加し、

(f 2) 前記複数の第 1 線のうち前記選択メモリセルに接続されない前記第 1 線には、第 2 電位 V_2 を印加し、

(f 3) 前記複数の第 2 線のうち前記選択メモリセルに接続される前記第 2 線には、第 3 電位 V_3 を印加し、

(f 4) 前記複数の第 2 線のうち前記選択メモリセルに接続されない前記第 2 線には、第 4 電位 V_4 を印加して行われ、

(f 5) 前記第 1 ～ 第 4 電位について、

前記第 3 電位は、前記第 1 電位より小さく ($V_3 < V_1$)、前記第 2 電位以上 ($V_3 \geq V_2$) であり、

前記第 4 電位は、前記第 1 電位以上 ($V_4 \geq V_1$) で、前記第 2 電位以上 ($V_4 \geq V_2$) であることを特徴とする請求項 23 記載の不揮発性半導体記憶装置。

【請求項 31】

前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第 1 方向に並ぶ前記メモリセルの前記第 2 半導体領域を接続する第 3 線を複数有し、

前記複数の第 3 線は、所定の単位で互いに接続されていることを特徴とする請求項 23 記載の不揮発性半導体記憶装置。

【請求項 32】

前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第 1 方向に並ぶ前記メモリセルの前記第 2 導電体を接続する第 3 線を複数有し、

前記複数の第 3 線は、所定の単位で互いに接続されていることを特徴とする請求項 23 記載の不揮発性半導体記憶装置。

【請求項 33】

(a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

- (c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、
- (d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、
を有するメモリセルが、複数アレイ状に配置され、
- (e) 前記複数のメモリセルのうち、
第1方向に並ぶ前記メモリセルの前記第1導電体を接続する第1線と、
前記第1方向と直交する第2方向に並ぶ前記メモリセルの、前記第2導電体側に位置する前記第2半導体領域を接続する第2線と、
前記第1方向に並ぶ前記メモリセルの、前記第1半導体領域を接続する第3線と、
を複数有し、
- (f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第1線に正電位を印加した状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項34】

前記(f)の正孔は、前記選択メモリセルに接続される前記第1線および第2線に電位を印加することにより、前記選択メモリセルの前記第1および第2半導体領域間に流れる電子を前記選択メモリセルの前記第2半導体領域に印加される電位により加速し、インパクトイオン化現象を起こすことにより形成されることを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項35】

前記(f)の正孔の注入位置は、前記選択メモリセルの前記第2絶縁膜の前記第1導電体側の端部近傍であることを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項36】

前記(f)の電荷蓄積部に蓄積された電子は、前記選択メモリセルの前記第1導電体と前記第2導電体に異なる電位を印加することにより、前記第1導電体と前記第2導電体との境界下の前記半導体基板中から注入された電子であることを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項37】

前記(f)の消去は、

(f1) 前記選択メモリセルに接続される前記第1線に第1電位を印加し、前記選択メモリセルに接続される前記第2線に、前記選択メモリセルに接続される前記第3線に印加する第3電位より大きい第2電位を印加した状態で、消去を行い、

(f2) 前記選択メモリセルに接続される前記第1線に接続される他のメモリセルに接続される前記第2線には、前記第3電位以下の第4電位を印加することにより消去を禁止し、

単一の前記メモリセル毎に行うことを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項38】

前記(f)の消去は、

(f1) 前記複数の第1線のうち単一の第1線に第1電位を印加し、

(f2) 前記複数の第2線に第2電位を印加し、

(f3) 前記単一の第1線に接続される前記メモリセルの前記第3線に前記第2電位より小さい第3電位を印加することにより、

前記第1方向に並ぶ前記メモリセルの群毎に行うことを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項39】

前記(f)の消去は、

(f1) 前記複数の第1線のうちn本の前記第1線に第1電位を印加し、

(f2) 前記複数の第2線のうちm本の前記第2線に第2電位を印加し、

(f3) 前記n本の前記第1線に対応するn本の前記第3線に前記第2電位より小さい

第3電位を印加することにより、

$n \times m$ 個の前記メモリセルのブロック毎に行うことを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項40】

前記(f)の消去は、

(f1) 前記複数の第1線のうち前記選択メモリセルに接続される前記第1線には、第1電位 V_1 を印加し、

(f2) 前記複数の第1線のうち前記選択メモリセルに接続されない前記第1線には、第2電位 V_2 を印加し、

(f3) 前記複数の第3線のうち前記選択メモリセルに接続される前記第3線には、第3電位 V_3 を印加し、

(f4) 前記複数の第3線のうち前記選択メモリセルに接続されない前記第3線には、第4電位 V_4 を印加して行い、

(f5) 前記第1～第4電位について、

前記第3電位は、前記第1電位より小さく($V_3 < V_1$)、前記第2電位以上($V_3 \geq V_2$)であり、

前記第4電位は、前記第1電位以上($V_4 \geq V_1$)であり、前記第2電位以上($V_4 \geq V_2$)であることを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項41】

前記複数の第3線は、所定の単位で互いに接続されていることを特徴とする請求項33記載の不揮発性半導体記憶装置。

【請求項42】

前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第1方向に並ぶ前記メモリセルの前記第2導電体を接続する第4線を複数有し、

前記複数の第4線は、所定の単位で互いに接続されていることを特徴とする請求項33記載の不揮発性半導体記憶装置。

【書類名】明細書

【発明の名称】不揮発性半導体記憶装置

【技術分野】

【0001】

本発明は不揮発性半導体記憶装置に係り、特に、消去動作と読出し動作の高速化、データ保持特性、書換え耐性もしくは書込みディスタースタブル性の向上に適した不揮発性半導体記憶装置に関するものである。

【背景技術】

【0002】

電氣的に書込・消去が可能な不揮発性半導体記憶装置として、EEPROM (Electrically Erasable and Programmable Read Only Memory) が広く使用されている。フラッシュメモリに代表されるこれらの記憶装置 (メモリ) は、MOS (Metal Oxide Semiconductor) トランジスタのゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極やトラップ性絶縁膜を有する。このトラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜等があげられる。

【0003】

このような電荷蓄積領域への電荷の注入・放出によってMOSトランジスタのしきい値をシフトさせ記憶素子として動作させる。

【0004】

このフラッシュメモリとして、追って詳細に説明するMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルがある。

【0005】

かかるメモリにおいては、電荷蓄積領域として窒化シリコン膜を用いることで、導電性の浮遊ゲート膜と比べ、1) 離散的に電荷を蓄積するためにデータ保持の信頼性に優れる。また、2) データ保持の信頼性に優れているために窒化シリコン膜上下の酸化膜を薄膜化でき、書込み・消去動作の低電圧化が可能である、等の利点を有する。

【0006】

また、スプリットゲート型セルを用いることで、1) ソースサイド注入方式でホットエレクトロンを窒化シリコン膜に注入することができ、電子注入効率に優れ、高速、低電流の書込が可能である。また、2) 書込み・消去動作の制御が簡単であるがために周辺回路を小規模にすることができる、等の利点も有する。

【0007】

上記メモリの消去方式としては、トンネリング消去方式とBTBT (Band-To-Band Tunneling) ホットホール注入消去方式の2つがあげられる。

【0008】

例えば、特許文献1 (特開2001-102466) には、トンネリング消去方式を用いたメモリセルが記載され、また、特許文献2 (USP 5, 969, 383) には、BTBTホットホール注入消去方式を用いたメモリセルが記載されている。

【0009】

トンネリング消去方式では、ソースサイド注入書込み方法で窒化シリコン膜中に注入した電子を、ゲート電極に正電圧もしくは負電圧を印加することにより、窒化シリコン膜の上部もしくは下部の酸化膜をトンネリングさせて、ゲート電極もしくは基板へ引き抜いて消去を行う。

【0010】

もう一方のBTBTホットホール注入消去方式では、ソースとゲート電極間に高電圧を印加し、BTBTによって発生させたホール (正孔) を、ソース拡散層端部におけるチャネル方向の電界により加速し、ゲート電極の負電圧で引き寄せ、窒化シリコン膜中に注入して消去を行う (図32参照)。

【特許文献1】特開2001-102466号公報

【特許文献2】USP 5, 969, 383号公報

【発明の開示】**【発明が解決しようとする課題】****【0011】**

しかしながら、トンネリング消去方式の場合、まず、データ保持特性と消去特性とのトレードオフ関係が問題点として挙げられる。

【0012】

すなわち、データ保持特性を向上させるには、窒化シリコン膜上下の酸化膜か窒化シリコン膜自体を厚膜化しなければならないが、この厚膜化の結果、消去速度が遅くなってしまう。

【0013】

消去速度向上のためには、消去電圧の高電圧化が必要であるが、この高電圧化により周辺回路は大規模なものとなり、チップコストの増大を招くことになる。

【0014】

さらには、電子を引き抜く側の酸化膜は、電子のトンネリングが起こる範囲内の薄い膜厚に限定され、データ保持特性が制約される。

【0015】

もうひとつの問題点として、消去後のしきい値を十分に下げることができない点が挙げられる。

【0016】

すなわち、書込みの際に注入した電子を引き抜いて消去を行うために、消去後のしきい値電圧を、窒化シリコン膜が電氣的に中性である初期のしきい値電圧よりも下げることができない。しきい値を十分に下げることができなければ、読出し電流を大きく取れないことになり、読出しの高速化に不利となる。

【0017】

もう一方のBTBTホットホール注入消去方式の場合、上記したトンネリング消去方式の課題は解決することができる。

【0018】

すなわち、書込み時にホットエレクトロンを、消去時にホットホールを注入する方法ならば、トンネリング消去方式を用いる場合に比べて、窒化膜上下の酸化膜を厚膜化できる。

【0019】

さらには、ホール注入消去により消去後のしきい値を初期よりも負側にシフトさせることが可能となる。

【0020】

しかしながら、この方式の課題として、書込み時のホットエレクトロンと消去時のホットホールの発生場所が異なるために書込み時の電子注入と消去時のホール注入の位置合わせ制御が困難である点がある。

【0021】

すなわち、図31に示すように、書込み時のホットエレクトロン発生場所はメモリゲート電極MGと選択ゲート電極SGとの間のギャップ部分（a部）であるのに対して、消去時のホットホール発生場所は、図32に示すように、ソース領域MS端部（b部）である。なお、図31は、フラッシュメモリの電荷蓄積部への電子の注入状態を示す模式図であり、図32は、フラッシュメモリの電荷蓄積部へのホールの注入状態を示す模式図である。また、フラッシュメモリの各部位については、後述する本発明の実施の形態と対応する部位と同一の符号を付してあるので、その説明は省略する。

【0022】

窒化シリコン膜に離散的に電荷を蓄積するメモリセルでは、窒化シリコン膜中を電荷が自由に移動することができないため、電荷の注入位置にずれが生じると、以下のようなメモリ特性の劣化が生じる。（1）より多くのホールを注入しなければ電子を消去できないため、消去速度は遅くなる。（2）書込みと消去を繰り返すと、書込み時に注入した電

子が消し残って、消去速度の劣化が顕著となる。(3) 不要なホールを窒化シリコン膜中に注入してしまうために、ボトム酸化膜が劣化し、その結果、書換え耐性、データ保持特性の劣化を引き起こす。(4) 電子とホールが窒化シリコン膜 S I N 中の隣り合った位置に共存するために、データ保持特性が劣化する(1 回でも書込みと消去を行うとデータ保持特性が大きく劣化する)。

【0023】

もう1つの課題としては、ソース領域端部でホールを加速して消去を行うために、ソースプロファイルが電界集中型に制約される点が挙げられる。

【0024】

ソースプロファイルを電界集中型にするためには、メモリトランジスタのチャネル領域を高濃度の p 型にしなければならない。従って、大きな読出し電流を流す、すなわち読出しを高速化するという観点からは不利である。

【0025】

本発明の目的は、不揮発性半導体記憶装置の高性能化・高信頼化を図ることにある。

【0026】

特に、不揮発性半導体記憶装置の読出し速度の向上や消去動作の高速化を図ることにある。

【0027】

また、不揮発性半導体記憶装置の書換え耐性やデータ保持特性の向上を図ることにある。

【0028】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0029】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0030】

本発明の不揮発性半導体記憶装置は、(a) 半導体基板中に形成された第1および第2半導体領域と、(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、を有し、(e) 前記第1導電体に正電位を印加し、前記第1および第2半導体領域間に電流が流れる状態で、電子が蓄積された前記電荷蓄積部に正孔を注入することにより消去を行うものである。

【0031】

また、本発明の不揮発性半導体記憶装置は、(a) 半導体基板中に形成された第1および第2半導体領域と、(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、を有するメモリセルが、複数アレイ状に配置され、(e) 前記複数のメモリセルのうち、第1方向に並ぶ前記メモリセルの前記第1導電体を接続する第1線と、前記第1方向と直交する第2方向に並ぶ前記メモリセルの、前記第1導電体側に位置する前記第1半導体領域を接続する第2線と、を複数有し、(f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第1線に正電位を印加し、前記第1および第2半導体領域間に電流が流れる状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うものである。

【発明の効果】

【0032】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0033】

不揮発性半導体記憶装置の高信頼化を図ることができる。特に、データ保持特性向上や読出し速度の向上を図ることができる。また、消去動作の高速化や書換え耐性の向上または書込みディスタースタブル耐性の向上を図ることができる。

【0034】

さらに、不揮発性メモリアレイにおける消去セル数を任意に設定することが可能となる。

【発明を実施するための最良の形態】

【0035】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0036】

(1) 本発明に係る不揮発性半導体記憶装置（フラッシュメモリ）の基本的な構成について説明する。

【0037】

図1は、本実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【0038】

このフラッシュメモリは、MONOS膜を用いたスプリットゲート型セルである。

【0039】

図示するように、メモリセルは、電荷を蓄積するための窒化シリコン膜SINと、その上下に位置する酸化膜BOTOX、TOPOXの積層膜からなるONO膜（ONO）、n型ポリシリコンのような導電体からなるメモリゲート電極MG、n型ポリシリコンからなる選択ゲート電極SG、選択ゲート電極SG下に位置するゲート絶縁膜SGOX、n型の不純物よりなるソース領域（ソース拡散層、n型半導体領域）MS、n型の不純物よりなるドレイン領域（ドレイン拡散層、n型半導体領域）MDを有する。なお、ソース領域MSおよびドレイン領域MDは、p型のシリコン基板（半導体基板）PSUB上に設けられたp型ウェル領域PWE L中に形成される。

【0040】

ここで、メモリゲート電極MGよりなるMOSトランジスタをメモリトランジスタと、また、選択ゲート電極SGよりなるMOSトランジスタを選択トランジスタという。

【0041】

次に、書込み・消去・読出し動作について説明する。ここでは、窒化シリコン膜SINへの電子の注入を「書込み」、ホールの注入を「消去」と定義する。

【0042】

(1-1) 書込み方式は、いわゆるソースサイド注入方式と呼ばれるホットエレクトロン書込みである。

【0043】

図2に、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件を示す。

【0044】

図2の「書込」欄の上段に示すように、書込み時には、ソース領域MSに印加する電圧Vsは6V、メモリゲート電極MGに印加する電圧Vmgは10V、ドレイン領域MDに印加する電圧Vdを0V、選択ゲート電極SGに印加する電圧Vsgは書込み時のチャネル電流がある設定値となるよう制御する。このときのVsgは設定電流値と選択トランジスタのしきい値によって決まり、例えば設定電流値が1 μ Aの場合、0.7V程度となる。ウェルには、0V（Vwell）を印加する。

【0045】

上記電圧条件では、選択ゲート電極SGに印加する電圧 V_{sg} で書込み時のチャネル電流を設定することになるが、 V_{sg} を1.5V、 V_d でチャネル電流を設定しても良い。このときの V_d もチャネル電流の設定値と選択トランジスタのしきい値電圧によって決まり、例えば設定電流値が $1\mu A$ の場合、0.8V程度となる（図2の「書込」欄の下段参照）。

【0046】

上記2つの条件では定電圧を印加して書込みを行い、書込み時にチャネルに流れる電流は、選択ゲート電極SGとドレイン領域MDの電位差および選択トランジスタのしきい値電圧によって決まる。選択トランジスタのしきい値電圧にばらつきがあるとチャネル電流にばらつきが生じ、その分、書込み速度がばらついてしまう。この書込み速度のばらつきを抑制するために、設定チャネル電流となるよう回路的に V_d を自動に制御しても良い。公知文献アイ・イー・イー・イー、ブイエルエスアイ・サーキット・シンポジウム（IEEE, VLSI Circuits Symposium）の2003年予稿集211ページ～212ページ記載の回路方式を用いると、定チャネル電流の書込みを行うことができる。

【0047】

書込み時のチャネル電流は、0.1～10 μA 程度とする。書込み速度はチャネル電流にほぼ比例して速くなるが、チャネル電流を大きくするほど、電源の面積が増大する、もしくは、同時に書込むビット数が減少してしまう。

【0048】

ホットエレクトロンの発生領域は、2つのゲート電極（MG、SG）間下のチャネル領域（ソース、ドレイン間）であり、メモリゲート電極MG下の窒化シリコン膜SIN中の選択トランジスタ側にのみ局所的にホットエレクトロンが注入される（図31のa部参照）。すなわち、メモリゲート電極MG下の窒化シリコン膜SIN中の選択ゲート電極SG側の端部近傍に局所的にホットエレクトロンが注入される。注入されたエレクトロン（電子）は窒化シリコン膜SIN中のトラップに捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。電子の分布は、窒化シリコン膜SIN中の選択ゲート電極SG側の端部近傍にピークを有する。

【0049】

（1-2）次いで、消去方法について説明する。本発明の消去方法は、チャネル電流を利用したホットホール注入消去である。

【0050】

図2の「消去」欄の上段に示すように、消去時には、メモリゲート電極MGに印加する電圧 V_{mg} を、書込み時と符号が反対の-8Vとし、ソース領域MSに印加する電圧 V_s は7V、ドレイン領域MDに印加する電圧 V_d を0V、選択ゲート電極SGに印加する電圧 V_{sg} は消去時のチャネル電流がある設定値となるよう制御する。このときの V_{sg} は設定電流値と選択トランジスタのしきい値によって決まり、例えば設定電流値が $1\mu A$ の場合、0.7V程度となる。ウェルには、0V（ V_{well} ）を印加する。

【0051】

なお、書込み条件を図2の「書込」欄の下段とした場合には、消去の条件を図2の「消去」欄の下段とすることができる。

【0052】

書込みと同様に、設定チャネル電流となるよう回路的に V_d を自動制御しても良い。この自動制御には、上記した定チャネル電流の書込みを行う際に使用する回路と同じ回路を用いれば良い。選択トランジスタのしきい値電圧のばらつきによらずチャネルに流れる電流が一定とすることで、消去速度のばらつきを抑制することができる。

【0053】

例えばメモリトランジスタ部のチャネルをn型に、すなわち、メモリゲート電極MG下のシリコン基板中にn型不純物領域（n型拡散層、n型半導体領域）MEを形成（図16のME参照）し、上記電圧を印加した場合を考える。このn型拡散層は、ソース領域やド

レイン領域と比較して低濃度である。図33は、図2の「消去」の欄に記載の電位を印加した場合の電荷の状態を模式的に表したメモリセルの要部断面図である。

【0054】

この場合、選択トランジスタがオン状態となる。すなわち、選択ゲート電極SG下のシリコン基板中にチャンネルが形成される。さらに、ソース領域MSには高電圧が印加されているため、ソース領域MSやメモリゲート電極MG下の前記n型不純物領域MEから伸びた空乏層が選択トランジスタのチャンネルに近づく。その結果、メモリゲート電極MGに負の電圧を印加しても、ドレイン・ソース間(MDとMSとの間)に電流が流れる。

【0055】

このとき、チャンネルを流れる電子が、選択トランジスタのチャンネル端とメモリゲート電極MG下のn型不純物領域ME端との間の高電界で加速されてインパクトイオン化が生じ、電子(electron)とホール(hole)の対が生成される。

【0056】

このホールが、チャンネル平面に対して垂直方向の電界(すなわち、メモリゲート電極MGに印加されている負電位)で加速されてホットホールとなり、窒化シリコン膜SIN中に注入される。注入されたホールは窒化シリコン膜SIN中のトラップに捕獲され、メモリトランジスタのしきい値電圧が低下する。

【0057】

この際、ホットホールの発生領域は、書込み時のホットエレクトロン発生領域とほぼ同じである。すなわち、メモリゲート電極MG下の窒化シリコン膜SIN中の選択ゲート電極SG側の端部近傍(a部)に局所的にホットホールが注入される。

【0058】

従って、書込み時にホットエレクトロンを注入した位置に、ホットホールを注入することができる。

【0059】

なお、メモリゲート電極MG下のチャンネル領域は必ずしもn型である必要がなく、メモリトランジスタのチャンネル長を短くすればp型であってもチャンネル電流が流れ、消去を行うことができる。すなわち、ソース領域MSから延びる空乏層が、2つのゲート電極(MG、SG)の境界部下近傍のシリコン基板まで到達すればよい。

【0060】

図3～5に、それぞれ、消去時間のメモリゲート電圧 V_{mg} 、ソース電圧 V_s 、チャンネル電流依存性を示す。

【0061】

まず、メモリゲート電圧 V_{mg} に関しては、負電圧の方向に大きいほど消去速度は速くなる。ただし、 V_{mg} を負電圧方向に大きくしすぎると、メモリトランジスタのゲート絶縁膜にかかる電圧、すなわち、 V_{mg} と V_s の電位差がゲート絶縁膜の耐圧を超えてしまう。耐圧を超えない範囲でも、 V_{mg} を負電圧方向に大きくしすぎると、ボトム酸化膜の劣化が顕著となってしまう。 V_{mg} の最適値は、メモリゲートのゲート絶縁膜厚にもよるが、 $-4 \sim -10$ V程度である。但し、 V_{mg} が0 Vでも、メモリゲートの電位がソース領域の電位より低いので、消去することができる。消去時の V_{mg} を0 Vとすることで、消去速度は遅くなるものの、負電圧電源を使わない電源回路構成が可能となり、電源回路を低面積化することができる。

【0062】

続いて、ソース電圧 V_s に関しては、電圧が大きいほど消去速度は速くなる。ただし、 V_s を大きくしすぎると、ソース拡散層の耐圧を超えてしまう。 V_s の最適値は、 $5 \sim 8$ V程度である。チャンネル電流については、電流値にほぼ比例して消去速度は速くなる。ただし、チャンネル電流を大きくしすぎると、選択ゲートに印加する電圧 V_{sg} が大きくなって選択トランジスタのチャンネル端とメモリゲート電極MG下のn型不純物領域ME端との間の電界が弱くなるため、消去速度が向上しなくなる。また、チャンネル電流が増加する分、電源回路の面積が増加してしまう。このため、チャンネル電流の最適値は $0.1 \sim 10 \mu$

A 程度となる。

【0063】

消去速度は、チャネル電流と V_s は書込みと同条件とし、メモリゲートには最適電圧を印加した場合、書込み速度より遅くなる。これは、電子よりもホールの方がボトム酸化膜のエネルギー障壁が高いためであり、書込み時のホットエレクトロンよりも消去時のホットホールの方が窒化シリコン膜 SIN への注入効率が低くなる。

【0064】

消去の速度を書込みの速度と同等にするには、書込み動作条件よりも、 V_s を大きくするか、チャネル電流を大きく必要がある。 V_s を大きくすると（チャネル電流は同じ）、チャネル電流を大きくする場合（ V_s は同じ）と比べ、電源回路面積の増加分は少なくて済む。しかし、 V_s を大きくする分ソース拡散層領域の耐圧を上げなければならない。逆に、チャネル電流を大きくすると（ V_s は同じ）、電源回路面積の増加分は大きくなるものの、ソース拡散層の耐圧を上げる必要がなく、ソース拡散層の耐圧を上げた場合と比べ、メモリトランジスタの実効的なチャネル長をより小さくすることができる。この結果、オン電流を向上させることができ、スケーラビリティにも優れる。

【0065】

もちろん、 V_s とチャネル電流の両方を大きくすることで更に消去速度を向上させることができる。また、チャネル電流と V_s の両方を書込み時と同条件にすることで、消去速度は遅くなるものの、電源回路を低面積化することが可能である。同時に消去するメモリセルの数を同時に書込むメモリセルの数よりも多くする場合には、1セル当たりのチャネル電流は書込み時よりも消去時の方が小さくすることもある。対象メモリセル合計のチャネル電流を書込み時と消去時で同じとすることで、電源回路の電流供給能力を有効に使うことができる。

【0066】

(1-3) 次いで、読み出し方法について説明する。読出しは、ソース・ドレイン間の電圧を書込み時と逆方向にする読出しと同一方向にする読出しの2つがある。

【0067】

逆方向読出しの場合、図2の「読出」欄の上段に示すように、ドレイン領域MDに印加する電圧 V_d を 1.5 V、ソース領域MSに印加する電圧 V_s を 0 V、選択ゲート電極SGに印加する電圧 V_{sg} を 1.5 V、メモリゲート電極MGに印加する電圧 V_{mg} を 1.5 Vとして読出しを行う。

【0068】

同一方向読出しの場合、図2の「読出」欄の下段に示すように、ドレイン領域MDに印加する電圧 V_d とソース領域MSに印加する電圧 V_s を入れ替え、それぞれ 0 V、1.5 Vとする。

【0069】

読出し時のメモリゲート電極MGに印加する電圧 V_{mg} は、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるメモリトランジスタのしきい値電圧の間に設定する。書込み状態及び消去状態のしきい値電圧をそれぞれ 5 V と -2 V に設定すると、上記読出し時の V_{mg} は両者の中間値となる。中間値とすることで、データ保持中に書込み状態のしきい値電圧が 2 ~ 3 V 低下しても、消去状態のしきい値電圧が 2 ~ 3 V 上昇しても、書込み状態と消去状態を判別することができ、データ保持特性のマージンが広がる。消去状態におけるメモリセルのしきい値電圧を十分低くしておけば、読出し時の V_{mg} を 0 V としても構わない。読出し時の V_{mg} を 0 V とすることで、読出しディスタurb、すなわち、メモリゲートへの電圧印加によるしきい値電圧の変動を避けることができる。

【0070】

(2) 続いて、複数のメモリセルでアレイを構成した際のメモリ動作について説明する。

【0071】

図6は、本実施の形態の不揮発性半導体メモリアレイを示す回路図である。簡略化のため、 2×4 個のメモリセルのみを示す。

【0072】

図示するように、各メモリセルの選択ゲート電極SGを接続する選択ゲート線（ワード線）SGL0～SGL3、メモリゲート電極MGを接続するメモリゲート線MGL0～MGL3および2つの隣接したメモリセルが共有するソース領域MSを接続するソース線SL0、SL1は、X方向にそれぞれ平行に延在する。

【0073】

また、メモリセルのドレイン領域MDを接続するビット線BL0、BL1は、Y方向、すなわち、選択ゲート線SGL等と直交する方向に延在する。

【0074】

なお、これらの配線は、回路図上だけでなく、各素子や配線のレイアウト上も前記方向に延在する（図13においても同じ）。また、選択ゲート線SGL等は、選択ゲート電極SGで構成しても良いし、また、選択ゲートSGに接続される配線で構成しても良い。

【0075】

図6では省略するが、ソース線SLとメモリゲート線MGLには、書込み・消去時に高電圧を印加するために高耐圧のMOSトランジスタからなる昇圧ドライバを接続する。また、選択ゲート線SGLには、1.5V程度の低電圧のみを印加するので低耐圧で高速の昇圧ドライバを接続する。1本のローカルビット線には、16個、32個もしくは64個のメモリセルを接続し、ローカルビット線はローカルビット線を選択するMOSトランジスタを介してグローバルビット線に接続され、グローバルビット線はセンスアンプに接続される。

【0076】

図7と図8に、図6のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す。図7と図8は、それぞれ、書込み・消去時のチャネル電流を選択ゲート線SGLの電位で設定する場合とビット線BLの電位で設定する場合の条件であり、図2で示したチャネル電流の設定を選択ゲート電極SGの電圧 V_{sg} で行う場合（上段）とドレイン領域MDの電圧 V_d で行う場合（下段）に相当する。

【0077】

（2-1）まず、図7に示した電圧条件での書込み・消去のアレイド動作について説明する。本発明の書込み・消去はともに、チャネルに電流が流れること、すなわち、選択トランジスタがオン状態であることが必要条件となる。

【0078】

したがって、互いに直交するビット線BLと選択ゲート線SGLとで選択トランジスタをオン状態としたメモリセルでのみ書込み・消去を行うことができる。

【0079】

図7に示した書込み条件とビット単位での消去条件では、選択ゲート線はSGL0を0Vから0.7V付近に昇圧し、ビット線はBL0だけを1.5Vから0Vに降圧する。その結果、図6に示すメモリセルBIT1のみにおいて選択ゲート線SGLの電位がビット線BLの電位より大きくなって選択トランジスタがオン状態となり、書込み・消去が行われる。

【0080】

つまり、書込み・消去は1ビット（単一のメモリセル）ずつ行われ、ビット単位での書換えが可能となる。この書込み・消去時には、当然、選択セルが接続されているソース線SL0の電位は、書込み時6V、消去時7V、メモリゲート線MGL0の電位は、書込み時10V、消去時-8Vとし、図2で示した書込み・消去の条件を満たしていなければならない。

【0081】

一方、この際、選択セルBIT1が接続される選択ゲート線SGL0に接続される他のメモリセルBIT2等の選択ゲート電極SGにも0.7Vの電位が印加されるが、前記他

のメモリセルに接続されるビット線BL1等には、選択ゲート線SGL0の電位(0.7V)以上の電位(図7では1.5V)を印加することにより、前記他のメモリセルの選択トランジスタがオンすることを防止できる。即ち、非選択メモリセルの消去を禁止できる。

【0082】

消去の単位は、同じ構成のメモリアレイにおいて、ビットだけでなく、ワード単位もしくは複数のワードを一括して消去するブロック単位等にもすることもできる。

【0083】

ワード単位で行う場合、例えば、図6のメモリアレイにおいて、選択ゲート線はSGL0のみを0.7V、ビット線BLはすべて0V、ソース線SL0は7V、メモリゲート線MGL0は-8Vとすれば、選択ゲート線SGL0に接続されているメモリセルWORD1(破線で囲んだ部分)をまとめて消去できる。

【0084】

ブロック単位の場合、そのブロック(例えば $n \times m$ 個のメモリセル)内のすべての選択ゲート線SGLを0.7Vに昇圧し、すべてのビット線BLを0Vに降圧して、すべてのソース線SLに7V、すべてのメモリゲート線MGLに-8Vを印加すればよい。

【0085】

以上は、書込み・消去時のチャネル電流を選択ゲート線SGLの電位で設定する場合の動作条件であるが、図8に示したビット線BLすなわちドレイン領域MDの電位で設定する場合でも、選択セルBIT1の選択ゲート線SGL0とビット線BL0をそれぞれ1.5Vと0.8V、選択セルBIT1と接続されていない選択ゲート線SGL1~3とビット線BL1をそれぞれ0Vと1.5Vとすれば、選択セルBIT1のみで選択ゲート線SGLの電位がビット線BLの電位より大きくなり、同様の書込み・消去動作が可能である。

【0086】

(2-2)次に、メモリアレイの読出し条件について説明する。読出しの場合も、書込み・消去と同様に、選択トランジスタがオン状態となっていることが必要条件であり、選択ゲート線SGLとビット線BLで読出しセルの選択を行う。

【0087】

読出しの場合、ソース・ドレイン間の電圧が書込み・消去時と逆方向の場合と同一方向の場合とがある。

【0088】

前者の場合、選択セルBIT1と接続されている選択ゲート線SGL0とビット線BL0の電位を1.5V、選択セルと接続されていない選択ゲート線SGL1~3とビット線BL1の電位を0V、ソース線SL0、SL1の電位をすべて0Vとする。

【0089】

また、後者の場合、選択セルBIT1と接続されている選択ゲート線SGL0とビット線BL0の電位をそれぞれ1.5Vと0V、選択セルと接続されていない選択ゲート線SGL1~3とビット線BL1の電位をそれぞれ0Vと1.5V、ソース線SL0、SL1の電位をすべて1.5Vとする。

【0090】

メモリゲート線MGLの電位は、より大きな読出し電流を得るために、選択セルが接続された線MGL0のみに1.5Vを印加すると良い。図7、図8に示した読出しの電圧条件では、逆方向・同一方向ともに、図6のメモリセルBIT1の読出しが行われることになる。

【0091】

(2-3)上記(2-1)では定電圧を印加する書込み・消去動作を説明したが、書込み・消去時のチャネル電流が一定となるよう回路的に制御して書込み・消去を行う方法を説明する。この定チャネル電流の書込み・消去動作を実現する回路構成の一例を図9に示す。ビット線BL0、BL1の片方の端にPMOSトランジスタから成るミラー回路を、

もう片方の端にNMOSから成るミラー回路を設けてある。

【0092】

BIT1で示すメモリセルを定チャネル電流で消去する場合の動作を説明する。定チャネル電流の書込みも、上記消去動作と同様の動作方法で行う。

【0093】

まず、ビット線BL0、BL1以外は図8に示した電圧を印加し、定電流源CCS1には電流I1を、定電流源CCS2には電流I1より大きな電流I2を流す。ここで、選択セルBIT1が接続されたビット線BL0のビット線選択スイッチングトランジスタBS0をオン状態にすると、ミラー回路の原理で、NMOSトランジスタMN0にはビット線BL0からアースの方向に電流I2が、PMOSトランジスタMP0にはビット線BL0に入り込む方向に電流I1が流れる。I2とI1の差分の電流は、MN0ビット線に接続されたメモリセルのうち選択トランジスタがオン状態にあるメモリセルBIT1のみ介してビット線BL0に供給される。すなわち、選択セルBIT1のチャネルに電流Ip(=I2-I1)が流れる。このように、I2とI1の差分を消去時のチャネル電流値に設定し、ビット線選択のスイッチングトランジスタをオン状態することで、予め設定した電流をチャネルに流して消去を行うことができる。

【0094】

選択セルが接続されていないビット線BL1では、ビット線選択スイッチングトランジスタをオフ状態のままとし、PMOSトランジスタMP1を介してビット線BL1の電位を選択トランジスタの電位(SG0は1.5V、SG1~SG3は0V)以上の1.5Vに上げることで、BL1に接続されたすべてのメモリセルの選択トランジスタがオフ状態となり、消去を禁止できる。なお、ビット線の接合リーク等でBL1の電位が1.5Vから下がると、BIT2で示すメモリセルの選択トランジスタがオン状態となり、チャネルに電流が流れて弱い消去がなされてしまう。この弱い消去を、ミラー回路でPMOSトランジスタMP1を介して電流を供給することで、防止することができる。

【0095】

以上は、ビット単位で定チャネル電流の書込み・消去を行う方法であるが、ワード単位で行う場合、例えば、図9のメモリアレイにおいて、ビット線選択スイッチングトランジスタBS0、BS1をすべてオン状態とすることで選択ゲート線SGL0に接続されているメモリセルWORD1(破線で囲んだ部分)をまとめて消去できる。

【0096】

ブロック単位の場合、そのブロック(例えばn×m個のメモリセル)内のすべてのビット線選択スイッチングトランジスタをすべてオン状態とし、定電流源CCS2の電流I2と定電流源CCS1の電流I1の差を、書込み時もしくは消去時のチャネル電流Ipとビット線に接続されたメモリセルの数m個の積と等しくする、すなわち、I2-I1=Ip×mとする。こうすることで、消去を行うセル1個当たりIpのチャネル電流を流すことができる。

【0097】

(3)次いで、他のメモリアレイ構成について説明する。図10は、本実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【0098】

図6に示したメモリアレイ構成に対し、複数のソース線を接続して共通のソース線SLとしてある。また、複数のメモリゲート線を接続して共通のメモリゲート線MGLとしてある。

【0099】

ソース線SL、メモリゲート線MGLを共通化することで、それぞれの線を駆動する高耐圧のドライバ数が削減され、チップ面積の低減を図ることができる。メモリアレイを構成する配線の共通化は、ソース線SLもしくはメモリゲート線MGLのどちらか1つでも良い。

【0100】

図11と図12に、図10のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す。図11と図12は、それぞれ、書込み・消去時のチャネル電流を選択ゲート線SGLの電位で設定する場合とビット線BLの電位で設定する場合の条件である。

【0101】

ビット線BLおよび選択ゲート線SGLに印加する電圧は図6に示すメモリアレイの場合と全く同じであり、共通のソース線SL、メモリゲート線MGLには、図6のメモリアレイで選択セルBIT1に印加する電圧と同じ電圧を印加する。

【0102】

すなわち、書込み時にはソース線SL、メモリゲート線MGLにそれぞれ6Vと10V、消去時にはそれぞれ7Vと-8V、読出し時には、逆方向読出しの場合は、それぞれ0Vと1.5V、同一方向読出しの場合は、それぞれ1.5Vと1.5Vを印加する。

【0103】

(4) 次いで、さらに、他のメモリアレイ構成について説明する。図13は、本実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【0104】

図6に示したメモリアレイ構成と比較すると、図13の場合は、メモリトランジスタと選択トランジスタの位置を入れ替えた配置となっており、メモリトランジスタ側の拡散層（ドレイン領域）にビット線BL、選択トランジスタ側の拡散層（ソース領域）にソース線SLが接続されている。

【0105】

図14と図15に、図13のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す。図14と図15は、それぞれ、書込み・消去時のチャネル電流を選択ゲート線SGLの電位で設定する場合とビット線BLの電位で設定する場合の条件である。

【0106】

図6に示すメモリアレイでソース線SLに印加した電圧をビット線BLに、ビット線BLに印加した電圧をソース線SLに印加すると、図6のメモリアレイと同様の書込み・消去・読出し動作をする。

【0107】

すなわち、図14に示した書込み条件とビット単位での消去条件では、選択ゲート線はSGL0だけを0Vから0.7V付近に昇圧し、ソース線はSL0だけを1.5Vから0Vに降圧する。その結果、図13に示すメモリセルBIT1のみにおいて選択ゲート線SGLの電位がソース線SLの電位より大きくなって選択トランジスタがオン状態となり、書込み・消去が行われる。

【0108】

つまり、書込み・消去は1ビット（単一のメモリセル）ずつ行われ、ビット単位での書換えが可能となる。この書込み・消去時には、当然、選択セルが接続されているビット線BL0の電位は、書込み時6V、消去時-7V、メモリゲート線MGL0の電位は、書込み時10V、消去時-8Vとし、図2で示した書込み・消去の条件を満たしていなければならない。

【0109】

この際、選択セルBIT1が接続される選択ゲート線SGL0に接続される他のメモリセルBIT2等の選択ゲート電極SGおよびソース領域MSに、それぞれ0.7Vおよび0Vの電位が印加されるが、前記他のメモリセルに接続されるビット線BL1等には、ソース線SL0の電位（0.8V）と同じ電位を印加することにより、ソース、ドレイン領域間に電流が流れることを防止できる。即ち、非選択メモリセルの消去を禁止できる。

【0110】

また、図14および図15の読出し条件については、このメモリアレイでは、図6のメモリアレイの場合と、メモリトランジスタと選択トランジスタの位置が入れ替わっている

ため、図6の場合の「逆方向読出し」と「同一方向読出し」の場合と、印加電圧条件が逆となっている。

【0111】

以上、図2、図7、図8、図11、図12、図14、図15においてメモリ動作の電圧条件を示してきたが、これらの条件は一例であり、ここで示した数値をもって本発明が限定されるものではない。また、図10、図13に示したメモリセルアレイにおいても、図9に示した回路方式を適用して定チャネル電流の書込み・消去を行うようにしても良い。

【0112】

(5) 続いて、上記ホットホール注入方式の消去を実現し、消去・読出しの高速化と書換え・高温データ保持の信頼性向上を可能とするメモリセルの具体的な構成について、図16を用いて以下に説明する。

【0113】

上記消去を行うには、メモリゲート電極MGに負電圧を印加した時、ソース・ドレイン間に電流が流れなければならない。

【0114】

このためには、メモリトランジスタのチャネル領域(ME)をn型化するか、メモリトランジスタのチャネル長を短くする必要がある。

【0115】

この両者ともに、読出し電流の増加に寄与するため、本発明の消去方式を採用するメモリセルは高速読出しに適している。

【0116】

加えて、本発明の消去方式は、ホール注入を利用しており、消去後のしきい値電圧を中性しきい値電圧よりも下げて大きな読出し電流を得ることができる。従って、その点でも、高速の読出しに適している。

【0117】

また、消去速度は、ホットキャリア注入を利用しているためトンネリング消去と比べ高速である。また、メモリトランジスタのチャネル領域(ME)のn型不純物を高濃度化する、もしくは、メモリトランジスタのチャネル長を短くすることで、さらなる高速化が実現する。

【0118】

一方の選択トランジスタのチャネル領域SEについては、選択トランジスタのしきい値電圧がメモリトランジスタの中性状態しきい値電圧よりも大きくなるように、不純物濃度を設定する。メモリトランジスタの中性状態しきい値電圧とは、電荷蓄積領域に電荷が蓄積されていない状態のしきい値をいう。

【0119】

選択トランジスタのしきい値電圧は、高すぎると大きな読出し電流を取ることができなくなり、低過ぎるとそのゲート電圧が0Vの場合でも完全にオフにならず、リーク電流が正常な読出し動作を阻害してしまう。したがって、選択トランジスタのしきい値電圧は、正の範囲で低いことが望ましい。

【0120】

次に、ドレイン領域MDとソース領域MSの不純物プロファイルについて説明する。

【0121】

まず、ドレイン領域MDであるが、メモリ動作時に、この領域に印加される電圧は最大で1.8V程度であるので、1.8Vで駆動することを前提としたMOSトランジスタのソース、ドレイン構造を採用すれば良い。例えば、1.8Vで動作するMOSトランジスタと同程度の高濃度n型不純物領域で、ドレイン領域MDを構成すれば良い。また、このドレイン領域MDのゲート電極方向の端部に低濃度n型不純物領域MDMを設け、LDD構造としても良い。

【0122】

もう一方のソース領域MSも、高濃度n型不純物領域とする。また、ソース領域MSに

は、書込み時に 6 V、消去時に 7 V を印加するため、高濃度 n 型不純物領域 (MS) の外周に低濃度 n 型不純物領域 MS_M を設け、二重の不純物領域を設けるなどして高耐压構造にすることが望ましい。

【0123】

また、ソース領域 MS 端の不純物プロファイルが電界集中型である場合、ソース領域 MS 端での電界集中による誤書込みが起こる可能性がある。これは、例えば図 6 においてメモリセル BIT₁ を書込む際、メモリセル BIT₂ のような非選択セルにおいても、ソース領域に 6 V の高電圧が印加されるからである。このため、ソース不純物プロファイルは電界緩和型とすることが望ましい。

【0124】

また、メモリゲート電極 MG 下の窒化シリコン膜 S_{IN} とその上下の酸化膜 T_{OP}O_X と B_{OT}O_X の膜厚は、メモリ特性を決定する重要な要素である。

【0125】

本発明の消去方式を採用したメモリセルでは、書込み・消去ともにホットキャリア注入を利用しているために窒化シリコン膜上下の酸化膜を厚膜化できる。膜厚は、窒化シリコン膜 S_{IN} を 3 ~ 15 nm 程度、窒化シリコン膜上下の酸化膜 T_{OP}O_X と B_{OT}O_X を 3 ~ 10 nm 程度とする。酸化膜 T_{OP}O_X と B_{OT}O_X の膜厚を 3 nm 以上とすることで、トンネリング現象による蓄積電荷の変化を抑えることができる。

【0126】

このように窒化シリコン膜の上下の酸化膜を厚膜化することで、高温でのリテンション特性が改善されるとともに、書換え後のリテンション特性劣化も抑制される。

【0127】

図 17 に、本発明の消去方式を用いたメモリセルの書換え耐性を示す。特許文献 2 (USP 5, 969, 383) に記載されている BTBT ホットホール注入消去方式を用いたメモリセルと比較してある。BTBT ホットホール注入消去方式を用いると、書込み時に電子を注入する位置と消去時にホールを注入する位置にずれが生じるため、書換え試験で書込みと消去を繰り返すと徐々に消去側のしきい値電圧が上昇していく。これに対し、本発明の消去方式では、電子を注入する位置にホールを注入するため、書換えによるしきい値電圧の上昇を抑制することが可能である。

【0128】

(6) 続いて、以下に、図 16 に示す不揮発性半導体記憶装置 (メモリセル) の製造方法の一例を図 18 ~ 図 26 を参照しながら説明する。図 18 ~ 図 26 は、本実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。各図には、ソース領域を共有する 2 つのメモリセル領域の断面部を示してある。

【0129】

まず、図 18 を説明する。p 型シリコン基板 P_{SUB} 上に素子分離酸化膜領域 S_{TI} を形成し、メモリセル領域となる p 型ウェル領域 P_{WE}L を形成する。

【0130】

この p 型ウェル領域 P_{WE}L の表面部に、選択トランジスタのしきい値を調整する p 型不純物領域 (チャネル領域) S_E を形成する。次いで、シリコン基板表面を清浄化処理した後、選択トランジスタのゲート絶縁膜 S_GO_X を熱酸化で形成し、その上に、選択ゲート電極となる n 型ポリシリコン層 N_SG (100 nm 程度) および選択ゲート電極の保護用の酸化シリコン膜 C_AP を、順次堆積する。

【0131】

次に、図 19 を説明する。フォトリソグラフィ技術とドライエッチング技術を用いて、図 18 でシリコン基板上に形成した n 型ポリシリコン層 N_SG を加工し、選択トランジスタの選択ゲート電極 S_G1 と S_G2 を形成する。これらのゲート電極は、図面の奥行き方向に延在し、線状のパターンである。このパターンは、メモリアレイの選択ゲート線 S_GL に相当する (図 6 等参照)。なお、このパターンの形成の際には、シリコン基板の表面に不要なダメージが入らないように、熱酸化膜 (S_GO_X) の表面が露出した段階でドラ

イエッチングを停止する。次いで、シリコン基板表面のメモリトランジスタのチャネル領域にしきい値調整用のn型不純物領域MEを形成する。例えば、n型不純物領域MEの不純物濃度は、 $7 \times 10^{12} / \text{cm}^2$ 程度である。

【0132】

次に、図20を説明する。図19でシリコン基板表面の保護用に残した熱酸化膜(SGOX)をフッ酸で除去し、メモリトランジスタのゲート絶縁膜となるONO(Oxide-Nitride-Oxide)膜を積層する。なお、熱酸化膜(SGOX)を除去する際に選択ゲート電極SG上の酸化シリコン膜CAPを合わせて除去しても構わない。

【0133】

ONO膜を形成するには、例えば下部酸化膜BOTOX(3~10nm程度)を熱酸化により形成した後、窒化シリコン膜SINを気相成長法で堆積し、さらに、上部酸化膜TOPOXを気相成長法と熱酸化で形成する。ここで、下部酸化膜BOTOXおよび上部酸化膜TOPOXの膜厚は、トンネリング現象が起こりにくい3nm以上であることが望ましい。

【0134】

続いて、ONO膜の上に、メモリゲート電極MGとなるn型ポリシリコン層NMG(100nm程度)を堆積する。

【0135】

次に、図21を説明する。異方性エッチング技術により、図20で堆積したn型ポリシリコン層NMGを、上部酸化膜TOPOXが露出するまで除去し、選択ゲート電極SG1、SG2の側壁にONO膜を介してメモリゲート電極MG1とMG2を形成する。このメモリゲート電極MG1、MG2のスペーサ幅は、約90nmである。このとき、メモリゲート電極MG1とMG2とは反対側の選択ゲート電極SG1、SG2の側壁にも、ポリシリコンの側壁スペーサMGRが作られる。

【0136】

次いで、側壁スペーサMGRを除去するため、フォトリソグラフィ技術を用いフォトレジスト膜RES1でメモリゲート電極MG1とMG2を覆う。この際、その端部が選択ゲート電極SG1、SG2上となるようにフォトレジスト膜RES1を形成する。

【0137】

次に、図22を説明する。図21で作られたポリシリコンの側壁スペーサMGRをドライエッチング技術で除去し、さらに、フォトレジスト膜RES1を取り除く。続いて、露出した上部酸化膜TOPOX、窒化シリコン膜SINをそれぞれフッ酸と熱リン酸で除去する。その後、低濃度のn型不純物のイオン打ち込みを行い、ドレイン部に低濃度n型不純物領域MDMを形成する。このイオン打ち込みの際、ソース部にも低濃度n型不純物領域MDMSが形成される。

【0138】

図22でポリシリコン側壁スペーサMGRを除去したのは、ドレイン部の低濃度n型不純物領域MDMを形成するためである。例えば、図19において、n型不純物領域MEを形成した後に、フォトリソグラフィ技術を用いてフォトレジストでソース部の上部を覆い、ドレイン部に前記低濃度n型不純物領域MDMを形成するならば、ポリシリコン側壁スペーサMGRを除去する必要はない。

【0139】

次に、図23を説明する。ONO膜の下部酸化膜BOTOXのうち表面に露出した部分をフッ酸で除去した後、酸化膜を堆積し、異方性エッチング技術を用いてエッチングすることで、選択ゲート電極SG1、SG2の側壁に側壁スペーサSWを形成する。このとき、メモリゲート電極MG1とMG2の側壁にも酸化膜SWRが残存する。

【0140】

次に、図24を説明する。フォトリソグラフィ工程により、メモリトランジスタのソース部に開口部を有し、その開口端が選択ゲート電極SG1、SG2上に位置するフォトレジスト膜RES2を形成する。続いて、図23でメモリゲート電極MG1とMG2の側壁

に残存した酸化膜 SWR をフッ酸で除去し、さらに、n 型不純物のイオン打ち込みを行うことによりメモリトランジスタのソース部に低濃度 n 型不純物領域 MSM を形成する。

【0141】

次に、図 25 を説明する。図 24 で塗布したフォトレジスト膜 RES 2 を除去し、n 型不純物のイオン打ち込みを行うことにより選択トランジスタのドレイン領域 MD とメモリトランジスタのソース領域 MS を形成する。図 22 でソース部に作られた低濃度 n 型不純物領域 MDMS の一部は、高濃度 n 型不純物領域となり、高濃度 n 型不純物領域であるソース領域 MS と低濃度 n 型不純物領域 MSM とで DDD (Double Diffused Drain) 構造を成す。

【0142】

次に、図 26 を説明する。シリコン基板の全面に配線層間絶縁膜 INS 1 を堆積する。フォトリソグラフィ技術とドライエッチング技術を用いて、ドレイン領域 MD 上にコンタクトホールを開口し、第 1 層配線となる金属層を堆積する。その後、フォトリソグラフィ技術とエッチング技術を用いて第 1 層配線 M1 を形成する。

【0143】

図示するように、メモリゲート電極 MG および選択ゲート電極 SG は、例えば紙面に垂直な方向に延在し、ドレイン領域 MD に接続され、ビット線 BL となる第 1 層配線 M1 は、メモリゲート電極 MG や選択ゲート電極 SG と直交する方向に延在する (図 6 等参照)。なお、図 13 に示す回路図の場合は、メモリゲート電極 MG と選択ゲート電極 SG の位置が入れ替わる。

【0144】

次いで、配線層間絶縁膜 INS 2 を堆積する。以降、図示は省略するが、配線層間絶縁膜 INS 2 にコンタクトホールを形成し、さらに、導電性膜を堆積し、パターンニングすることにより配線を形成する。このように、配線層間絶縁膜と配線の形成工程を繰り返すことによって、多層の配線を形成することが可能となる。

【0145】

(7) 続いて、図 27 ~ 図 30 を用いて本発明の消去方式を実現する他のメモリセル構造の例を示す。図 27 ~ 図 30 は、本実施の形態の他の不揮発性半導体記憶装置 (フラッシュメモリ) の要部断面図である。

【0146】

図 27 は、ソース拡散層領域を LDD 構造としたメモリセルである。メモリセルを微細化しメモリゲート長を短くした場合、ソース拡散層領域を DDD 構造にすると短チャネル効果によってメモリトランジスタのリーク電流が増加してしまうために、LDD 構造とした方が望ましい。

【0147】

このようなメモリセルの場合は、LDD 構造のソース拡散層領域のうち、浅い低濃度 n 型不純物領域 MSMD はドレインの浅い低濃度 n 型不純物領域拡 MDM と同時に、深い高濃度 n 型不純物領域 MS は図 23 に図示したメモリゲート電極 MG1 と MG2 の側壁に形成された側壁スペーサ SWR を除去せずドレインの高濃度 n 型不純物領域 MD と同時に形成する。図 24 で示したソース部の低濃度 n 型不純物領域 MSM の形成を行わない。ただし、必ずしもソース部とドレイン部の浅い低濃度 n 型不純物領域 MDM を同時に形成し、不純物プロファイルを同じにする必要はない。この場合、フォトリソグラフィ技術を用いてそれぞれの不純物領域を別々に形成する。

【0148】

図 28 は、選択ゲート電極 SG をメモリゲート電極 MG の側壁スペーサの形状で構成したメモリセルである。

【0149】

このようなメモリセルの場合は、先に、メモリトランジスタの ONO 膜 (BOPOX、SIN および TOPOX) およびメモリゲート電極 MG を形成し、その側壁に絶縁膜よりなる側壁スペーサ CAPSW を形成する。さらに、その側壁に、図 1 等を参照しながら説

明したメモリセルのメモリゲートと同様に、異方性エッチング技術を利用して選択ゲート電極SGを形成する。

【0150】

なお、選択トランジスタのゲート絶縁膜SGOXよりも厚い酸化膜で側壁スペーサCAPSWを形成することにより、メモリゲート電極MGと選択ゲート電極SGとの間の耐圧を向上させることができる。

【0151】

また、メモリトランジスタのチャネル領域（n型不純物領域ME）と選択トランジスタのチャネル領域SEの不純物の注入は、それぞれ、メモリゲート電極MGの形成前後に行う。

【0152】

図29は、メモリゲート電極MGを選択ゲート電極SG上に乗り上げた構成のメモリセルである。

【0153】

このようなメモリセルの場合は、図1等を参照しながら説明したメモリセルの場合と同様に、選択ゲート電極SGを先に形成し、ONO膜およびメモリゲート電極MGを、フォトリソグラフィ技術を用いて形成する。メモリトランジスタのチャネル領域（n型不純物領域ME）と選択トランジスタのチャネル領域SEの不純物の注入は、図19を参照しながら説明した場合と同様に行う。

【0154】

図30は、選択ゲート電極SGをメモリゲート電極MG上に乗り上げた構成のメモリセルである。

【0155】

このようなメモリセルの場合は、フォトリソグラフィ技術で選択ゲート電極SGを形成する以外は、図28に示したメモリセルと同様に形成することができる。すなわち、ONO膜およびメモリゲート電極MGを先に形成した後、選択ゲート電極SGを形成する。メモリトランジスタのチャネル領域（n型不純物領域ME）と選択トランジスタのチャネル領域SEの不純物の注入は、それぞれ、メモリゲート電極MGの形成前後に行う。

【0156】

このように、図27～図30に示したメモリセル構造についても、図6～図15に示したメモリアレイと電圧条件で、図1に示したメモリセルと同様の動作を行わせることが可能である。

【0157】

また、図16で説明したように、消去・読出しの高速化と高温データ保持の信頼性向上を可能とするメモリセルの具体的構成を、図27～図30に示したメモリセルについても同様に適用できる。

【0158】

以上、本実施の形態においては、メモリセルの電荷蓄積膜として窒化シリコン膜を用いたが、窒化シリコン膜の代わりに酸窒化シリコン膜、酸化タンタル膜、酸化アルミニウム膜等の電荷トラップ性絶縁膜を用いても良い。

【0159】

また、電荷蓄積層としてポリシリコン等の導電性材料から成る微粒子（ドット）を用いてもよい。このドットとは、例えば、下部酸化膜上にポリシリコンの粒状の塊を複数個析出させたものである。このドット上には、さらに、上部酸化膜が形成され、個々のドット間は絶縁される。このようなドットを用いた場合、ドット内に蓄積された電荷（電子）は、ドット間を移動し難い。従って、電子の注入位置と正孔の注入位置をあわせることにより前記効果を奏することができる。また、ドットは、図1、図27～図30に示したメモリセルに適用可能である。ドットを用いる場合、その直径は10nm以下とすることが望ましく、ドット間には絶縁膜を堆積し電荷を離散的に蓄積させる。

【0160】

なお、単一の導電性の浮遊ゲート電極を用いる場合には、電子や正孔が浮遊ゲート電極内を移動できるため、電子の注入位置と正孔の注入位置をあわせることによる効果は小さい。

【0161】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0162】

本発明は、不揮発性半導体記憶装置に適用できる。

【図面の簡単な説明】

【0163】

【図1】本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図2】本発明の実施の形態の不揮発性半導体記憶装置の書込み・消去・読出し時における選択メモリセルの各部位への電圧の印加条件を示す図表である。

【図3】本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）における消去時間と消去時にメモリゲートに印加する電圧との関係を示す図である。

【図4】本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）における消去時間と消去時にソース領域に印加する電圧との関係を示す図である。

【図5】本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）における消去時間と消去時にチャンネルに流れる電流との関係を示す図である。

【図6】本発明の実施の形態の不揮発性半導体メモリアレイを示す回路図である。

【図7】図6のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図8】図6のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図9】図6のメモリアレイにおいて定チャンネル電流で書込み・消去を実現する回路図である。

【図10】本発明の実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【図11】図10のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図12】図10のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図13】本発明の実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【図14】図13のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図15】図13のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図16】本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図17】本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）と特許文献USP5, 969, 383に記載されているBTBTホットホール注入消去方式を用いた不揮発性半導体記憶装置における書換え特性を示す図である。

【図18】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図19】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 20】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 21】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 22】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 23】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 24】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 25】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 26】本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 27】本発明の実施の形態の他の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 28】本発明の実施の形態の他の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 29】本発明の実施の形態の他の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 30】本発明の実施の形態の他の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 31】本発明の課題を説明するための不揮発性半導体記憶装置の書き込み時のホットエレクトロンの発生場所を示す基板の要部断面図である。

【図 32】本発明の課題を説明するための不揮発性半導体記憶装置の消去時のホットホールの発生場所を示す基板の要部断面図である。

【図 33】本発明の効果を説明するための不揮発性半導体記憶装置に消去電位を印加した場合の電荷の状態を模式的に表したメモリセルの要部断面図である。

【符号の説明】

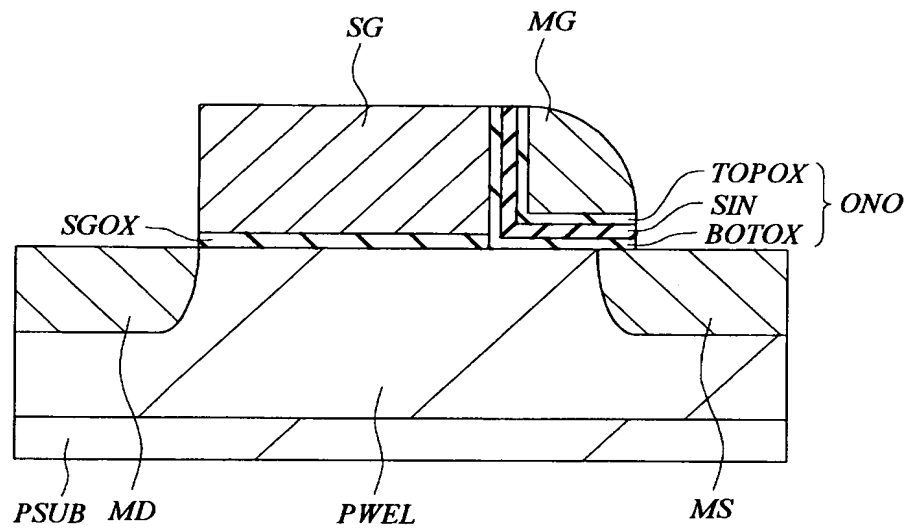
【0164】

B I T 1 メモリセル（選択セル）
B I T 2 メモリセル
B L、B L 0、B L 1 ビット線
B O T O X 下部酸化膜（酸化膜）
B S 0、B S 1 ビット線選択スイッチングトランジスタ
C A P 酸化シリコン膜
C C S 1、C C S 2 定電流源
C A P S W 側壁スペーサ
I N S 1 配線層間絶縁膜
I N S 2 配線層間絶縁膜
M 1 第 1 層配線
M D ドレイン領域
M D M 低濃度 n 型不純物領域
M D M S 低濃度 n 型不純物領域
M E n 型不純物領域
M G、M G 1、M G 2 メモリゲート電極
M G L、M G L 0～M G L 3 メモリゲート線
M G R 側壁スペーサ
M N 0、M N 1 ミラー回路を構成する N M O S トランジスタ
M P 0、M P 1 ミラー回路を構成する P M O S トランジスタ

MS ソース領域
MSM 低濃度 n 型不純物領域
NMG n 型ポリシリコン層
NSG n 型ポリシリコン層
ONO ONO 膜
PSUB p 型シリコン基板
PWEL p 型ウェル領域
RES1 フォトレジスト膜
RES2 フォトレジスト膜
SE チャネル領域 (不純物領域)
SG、SG1、SG2 選択ゲート電極
SGL、SGL0～3 選択ゲート線
SGOX ゲート絶縁膜
SIN 窒化シリコン膜
SL、SL0～SL3 ソース線
STI 素子分離酸化膜領域
SW 側壁スペーサ
SWR 酸化膜
TOPOX 上部酸化膜 (酸化膜)
Vd ドレイン領域に印加する電圧
Vmg メモリゲート電極に印加する電圧
Vs ソース領域に印加する電圧
Vsg 選択ゲート電極に印加する電圧
Vwell ウェルに印加する電圧
WORD1 選択ゲート線に接続されているメモリセル

【書類名】 図面
【図 1】

図 1



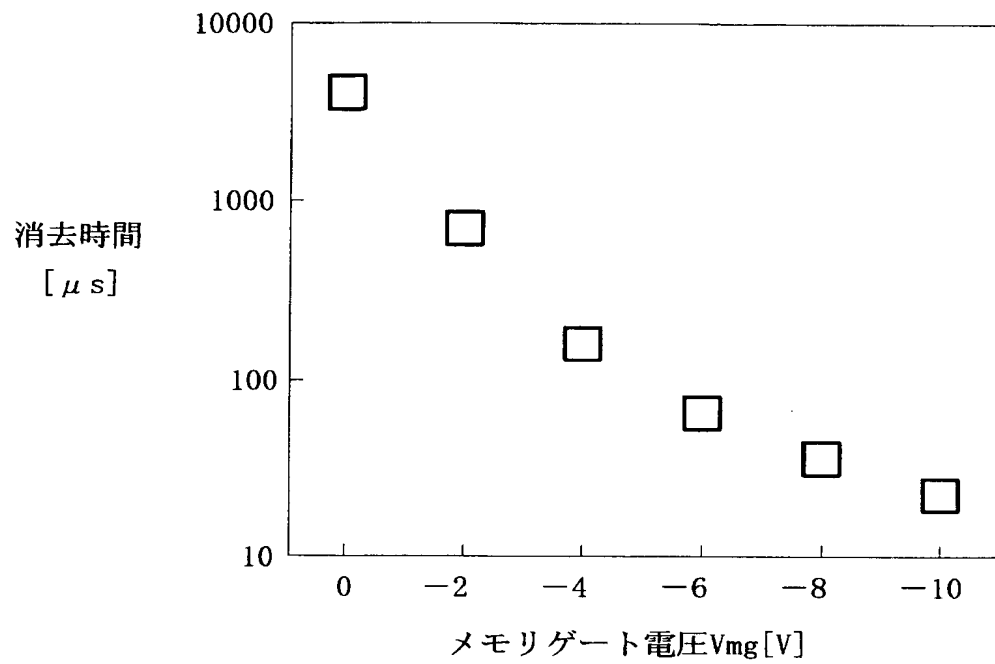
【図 2】

図 2

	Vsg	Vmg	Vs	Vd	Vwell	
書込 (ホットエレクトロン注入)	0.7	10	6	0	0	Vsgで書込み電流調整
	1.5	10	6	0.8	0	Vdで書込み電流調整
消去 (ホットホール注入)	0.7	-8	7	0	0	Vsgで消去電流調整
	1.5	-8	7	0.8	0	Vdで消去電流調整
読出	1.5	1.5	0	1.5	0	逆方向
	1.5	1.5	1.5	0	0	同一方向

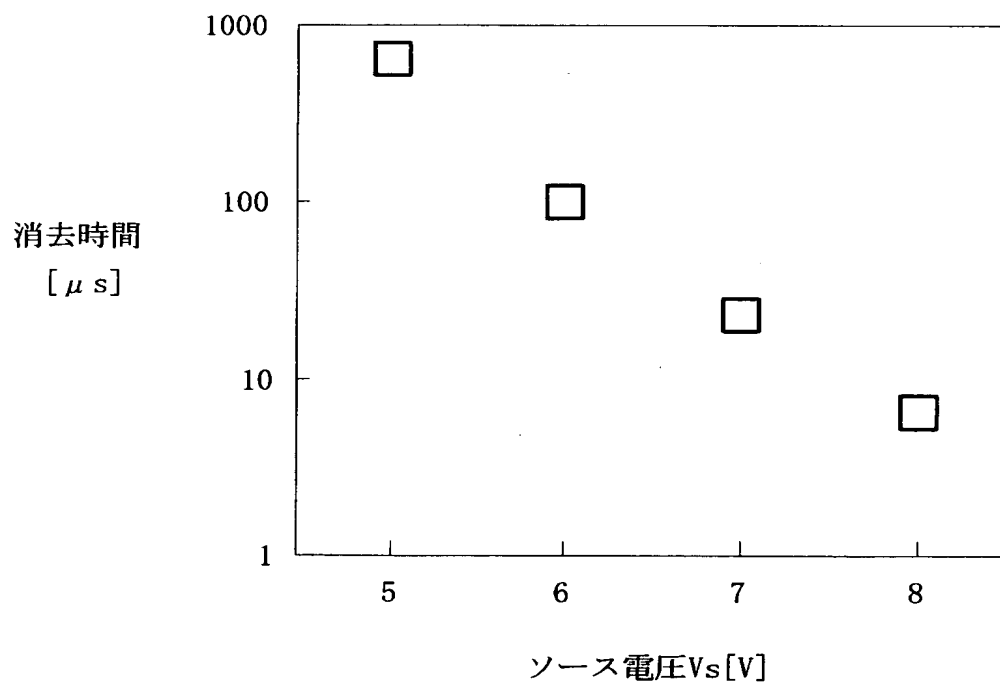
【図 3】

図 3



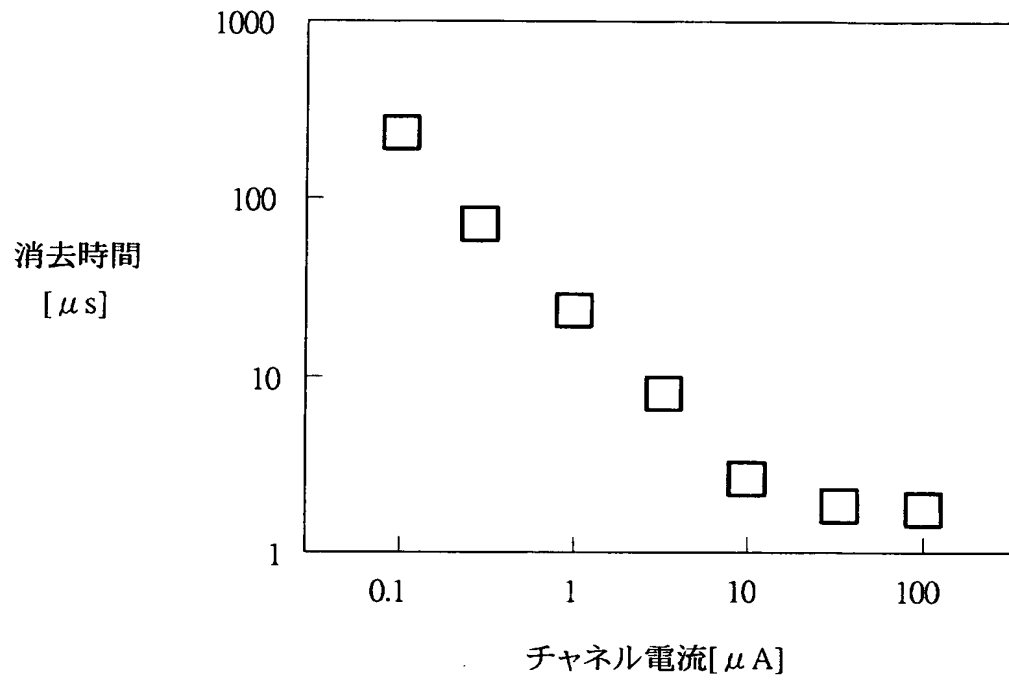
【図 4】

図 4



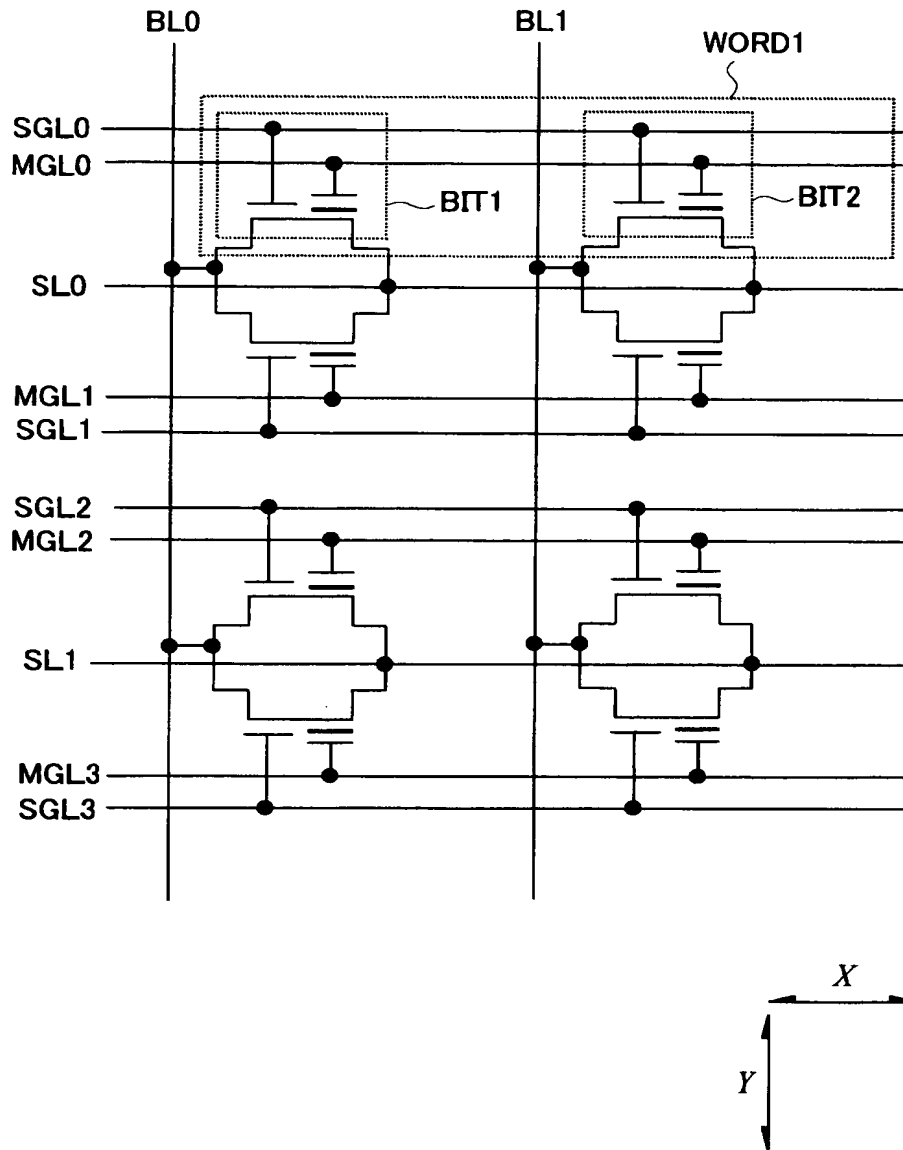
【図 5】

図 5



【図 6】

义 6



【図 7】

図 7

		SGL0	SGL1~3	MGL0	MGL1~3	SL0	SL1	BL0	BL1	選択セル
書込		0.7	0	10	0	6	0	0	1.5	BIT1
	ビット単位	0.7	0	-8	0	7	0	0	1.5	BIT1
消去	ワード単位	0.7	0	-8	0	7	0	0	0	WORD1
	ブロック単位	0.7	0.7	-8	-8	7	6	0	0	全部
読出	逆方向	1.5	0	1.5	0	0	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	0	1.5	0	0	1.5	BIT1

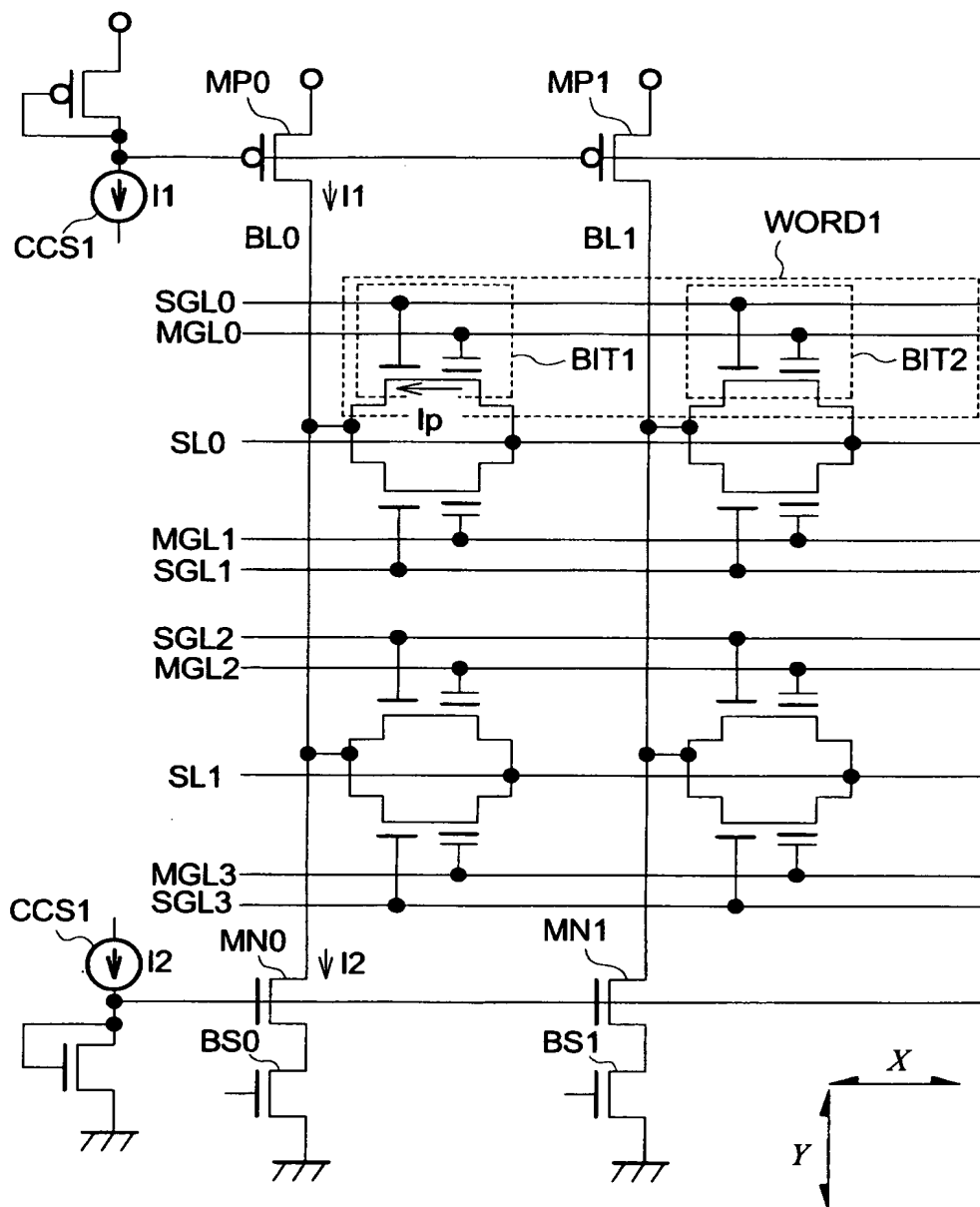
【図 8】

図 8

		SGL0	SGL1~3	MGL0	MGL1~3	SL0	SL1	BL0	BL1	選択セル
書込		1.5	0	10	0	6	0	0.8	1.5	BIT1
	ビット単位	1.5	0	-8	0	7	0	0.8	1.5	BIT1
消去	ワード単位	1.5	0	-8	0	7	0	0.8	0.8	WORD1
	ブロック単位	1.5	1.5	-8	-8	7	6	0.8	0.8	全部
読出	逆方向	1.5	0	1.5	0	0	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	0	1.5	0	0	1.5	BIT1

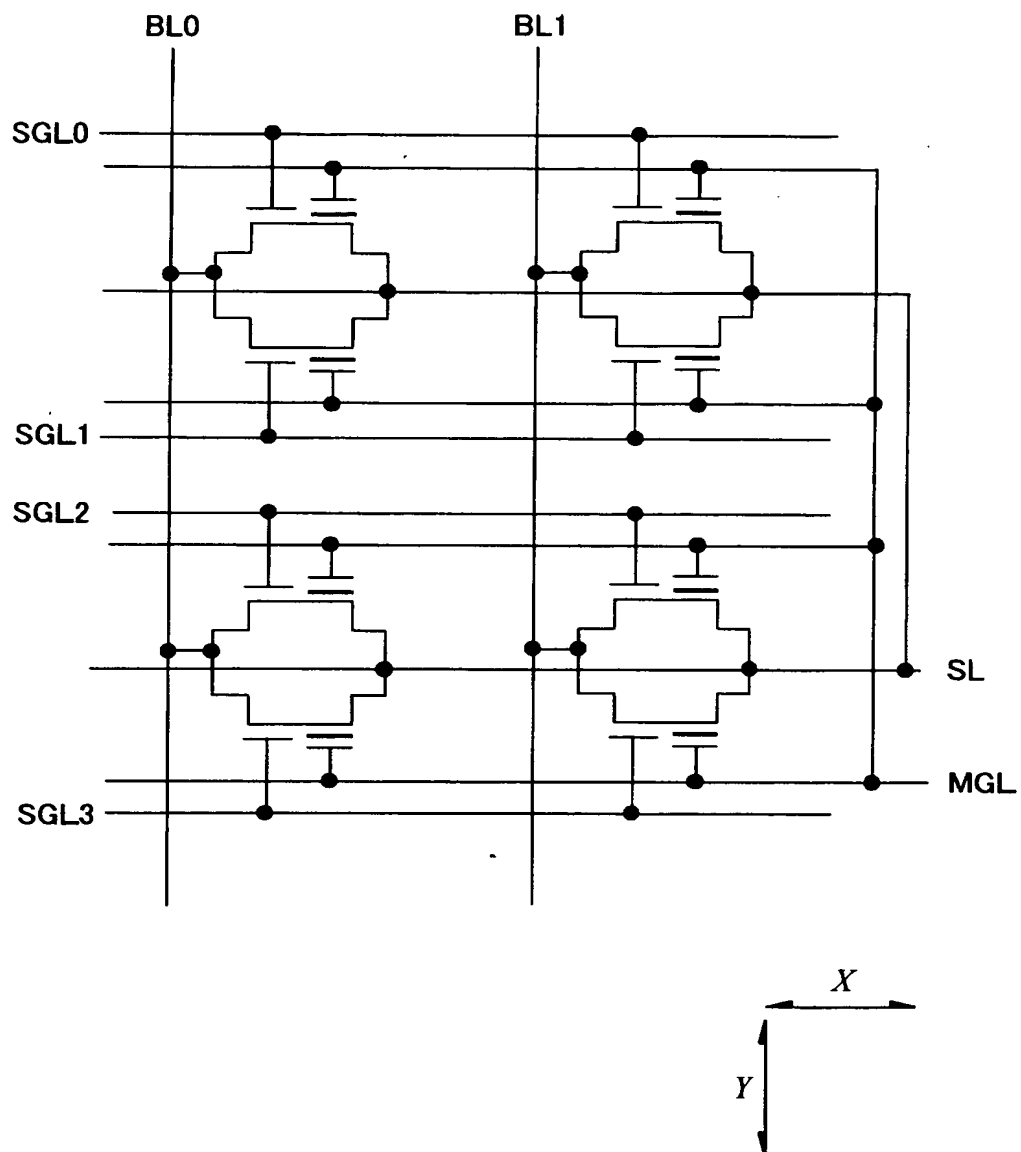
【図 9】

図 9



【図 10】

図 10



【図 11】

図 11

		SGL0	SGL1~3	MGL	SL	BL0	BL1	選択セル
書込		0.7	0	10	6	0	1.5	BIT1
	ビット単位	0.7	0	-8	7	0	1.5	BIT1
消去	ワード単位	0.7	0	-8	7	0	0	WORD1
	ブロック単位	0.7	0.7	-8	7	0	0	全部
読出	逆方向	1.5	0	1.5	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	1.5	0	1.5	BIT1

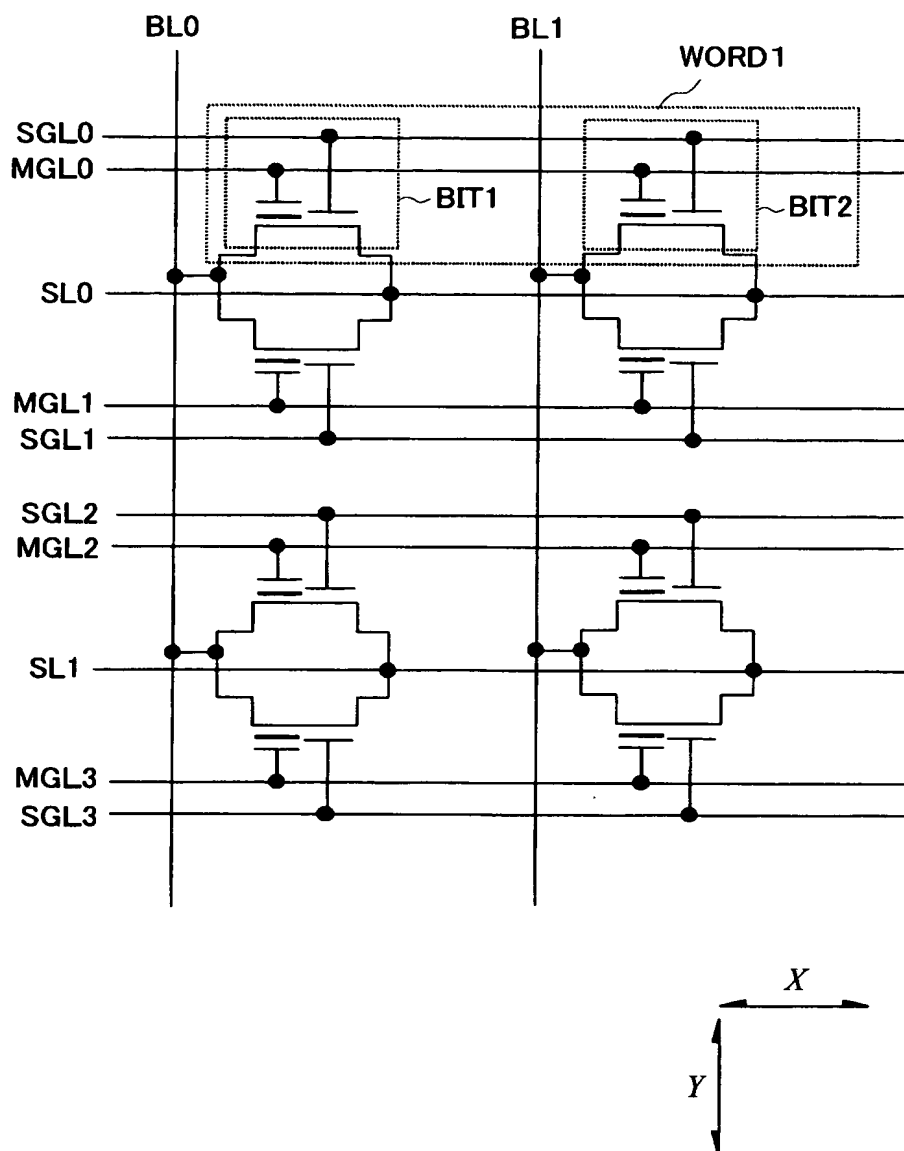
【図 12】

図 12

		SGL0	SGL1~3	MGL	SL	BL0	BL1	選択セル
書込		1.5	0	10	6	0.8	1.5	BIT1
	ビット単位	1.5	0	-8	7	0.8	1.5	BIT1
消去	ワード単位	1.5	0	-8	7	0.8	0.8	WORD1
	ブロック単位	1.5	1.5	-8	7	0.8	0.8	全部
読出	逆方向	1.5	0	1.5	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	1.5	0	1.5	BIT1

【図 13】

図 13



【図 14】

図 14

		SGL0	SGL1~3	MGL0	MGL1~3	SL0	SL1	BL0	BL1	選択セル
消去	書込	0.7	0	10	0	0	1.5	6	0.8	BIT1
	ビット単位	0.7	0	-8	0	0	1.5	7	0.8	BIT1
	ワード単位	0.7	0	-8	0	0	1.5	7	7	WORD1
	ブロック単位	0.7	0.7	-8	-8	0	0	7	7	全部
読出	逆方向	1.5	0	1.5	0	1.5	0	0	1.5	BIT1
	同一方向	1.5	0	1.5	0	0	0	1.5	0	BIT1

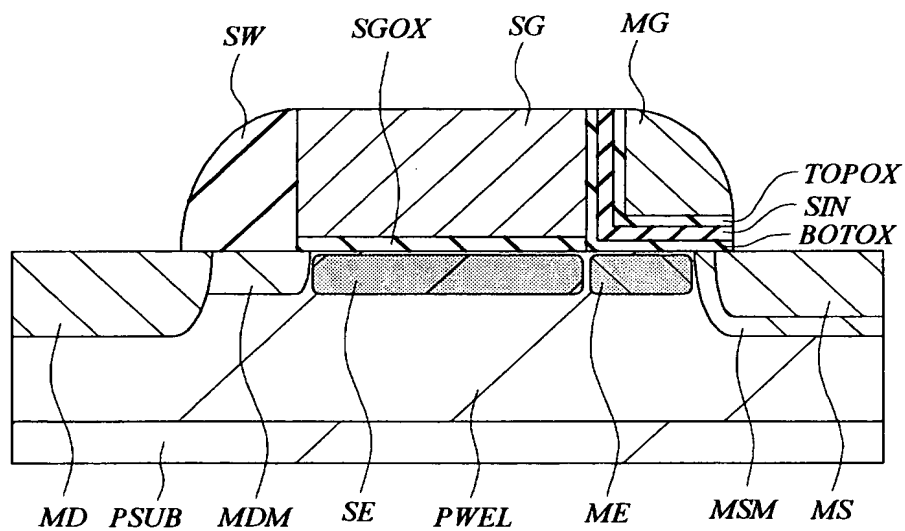
【図 15】

図 15

		SGL0	SGL1~3	MGL0	MGL1~3	SL0	SL1	BL0	BL1	選択セル
消去	書込	1.5	0	10	0	0.8	1.5	6	0.8	BIT1
	ビット単位	1.5	0	-8	0	0.8	1.5	7	0.8	BIT1
	ワード単位	1.5	0	-8	0	0.8	1.5	7	7	WORD1
	ブロック単位	1.5	1.5	-8	-8	0.8	0.8	7	7	全部
読出	逆方向	1.5	0	1.5	0	1.5	0	0	1.5	BIT1
	同一方向	1.5	0	1.5	0	0	0	1.5	0	BIT1

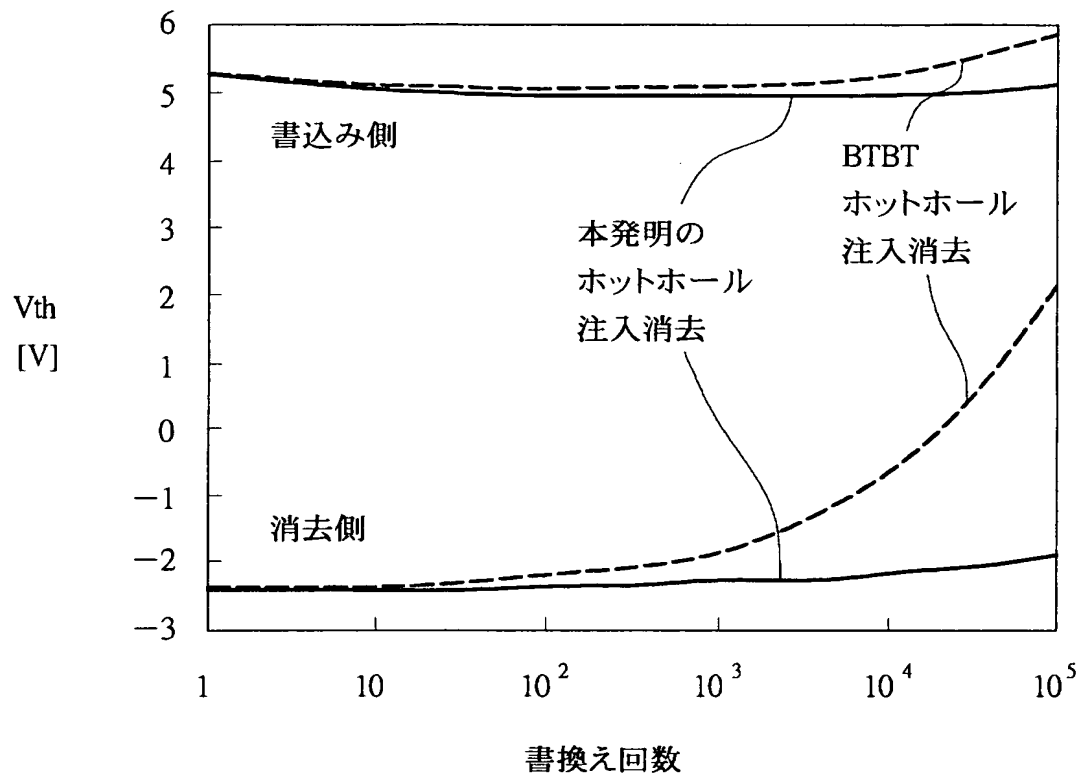
【図 16】

図 16



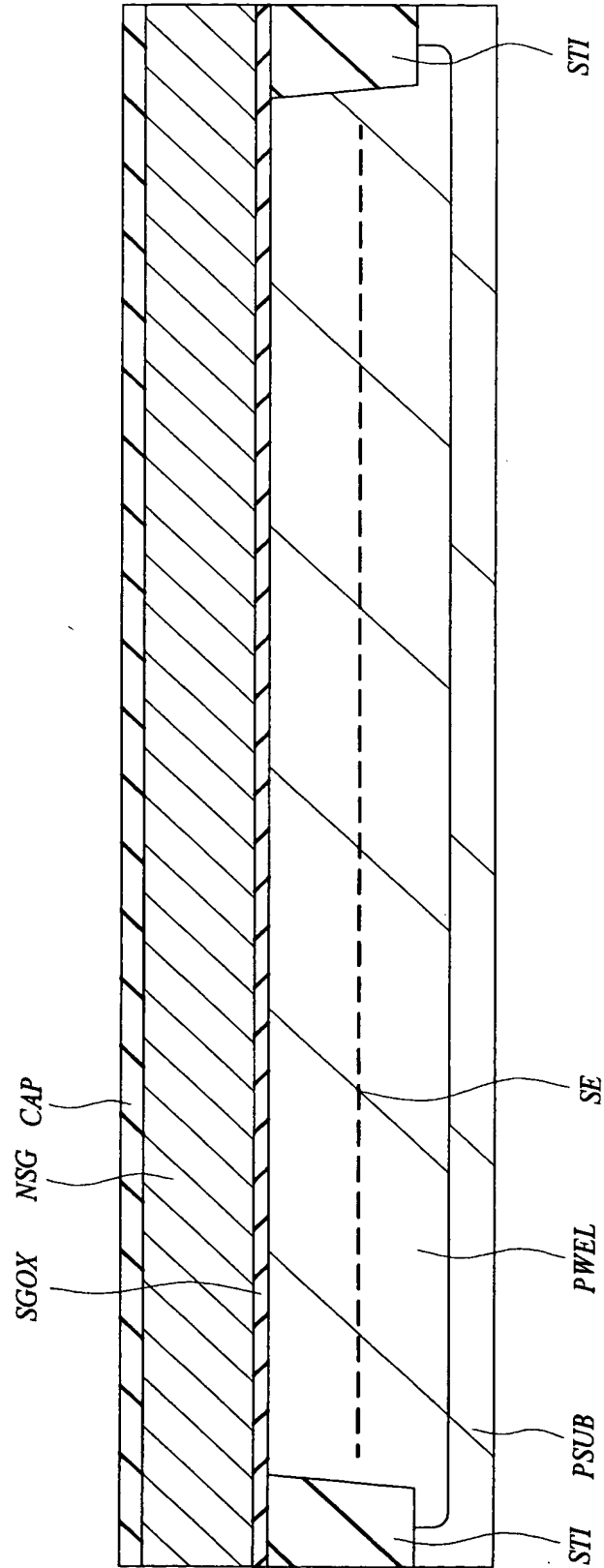
【図 17】

図 17



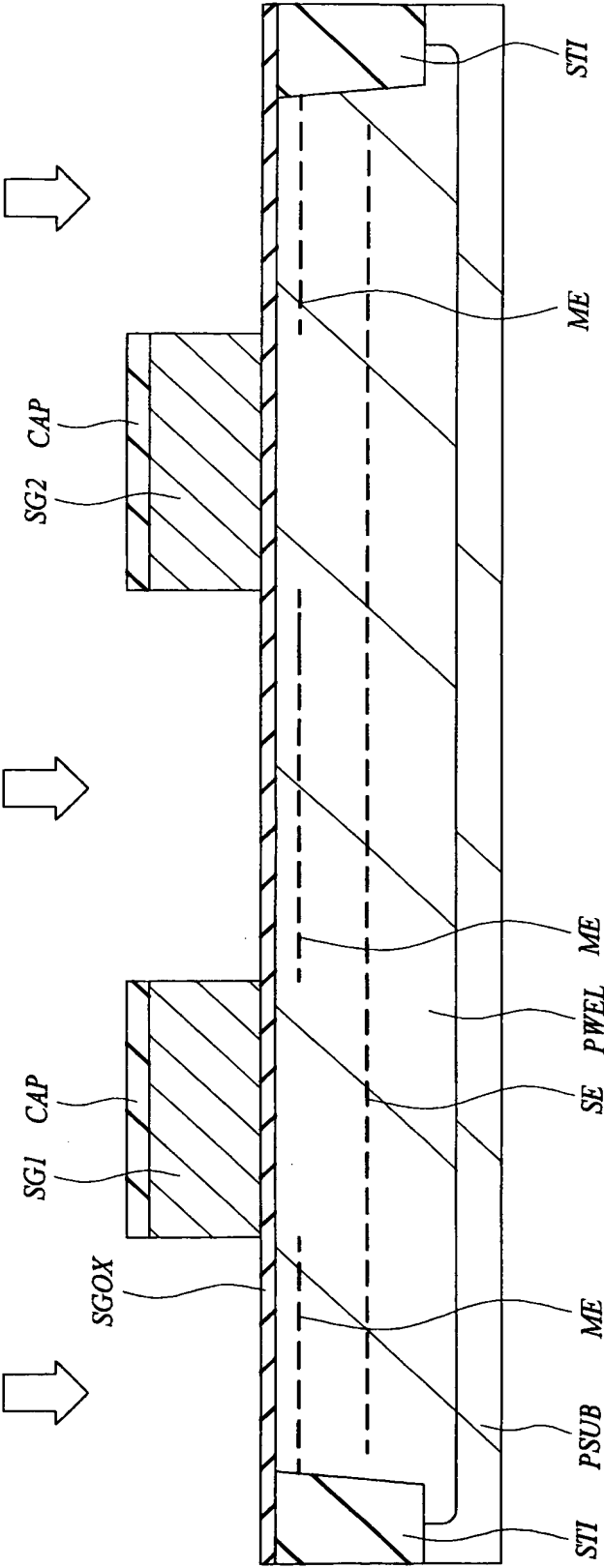
【図 18】

図 18



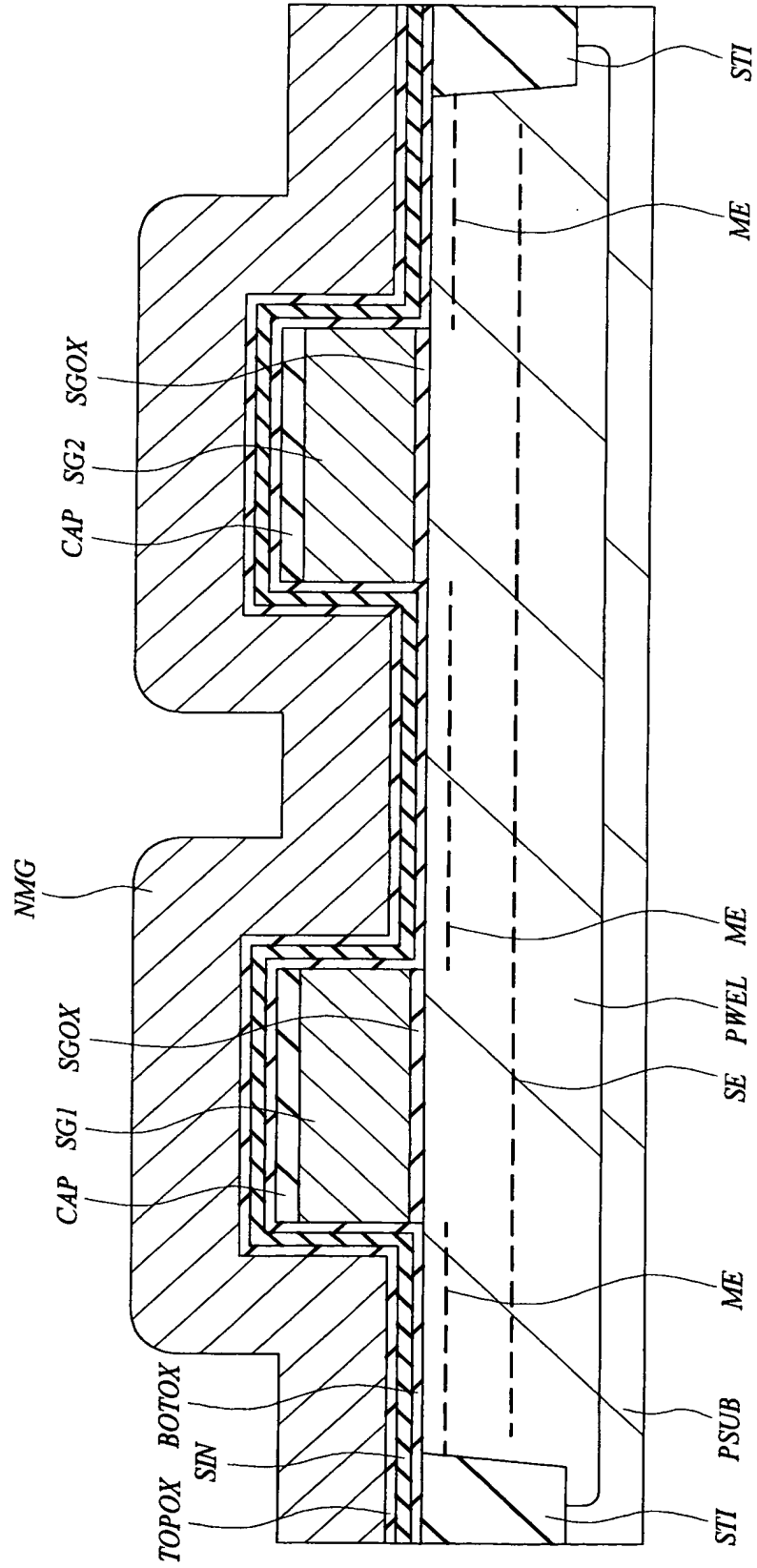
【図 19】

図 19



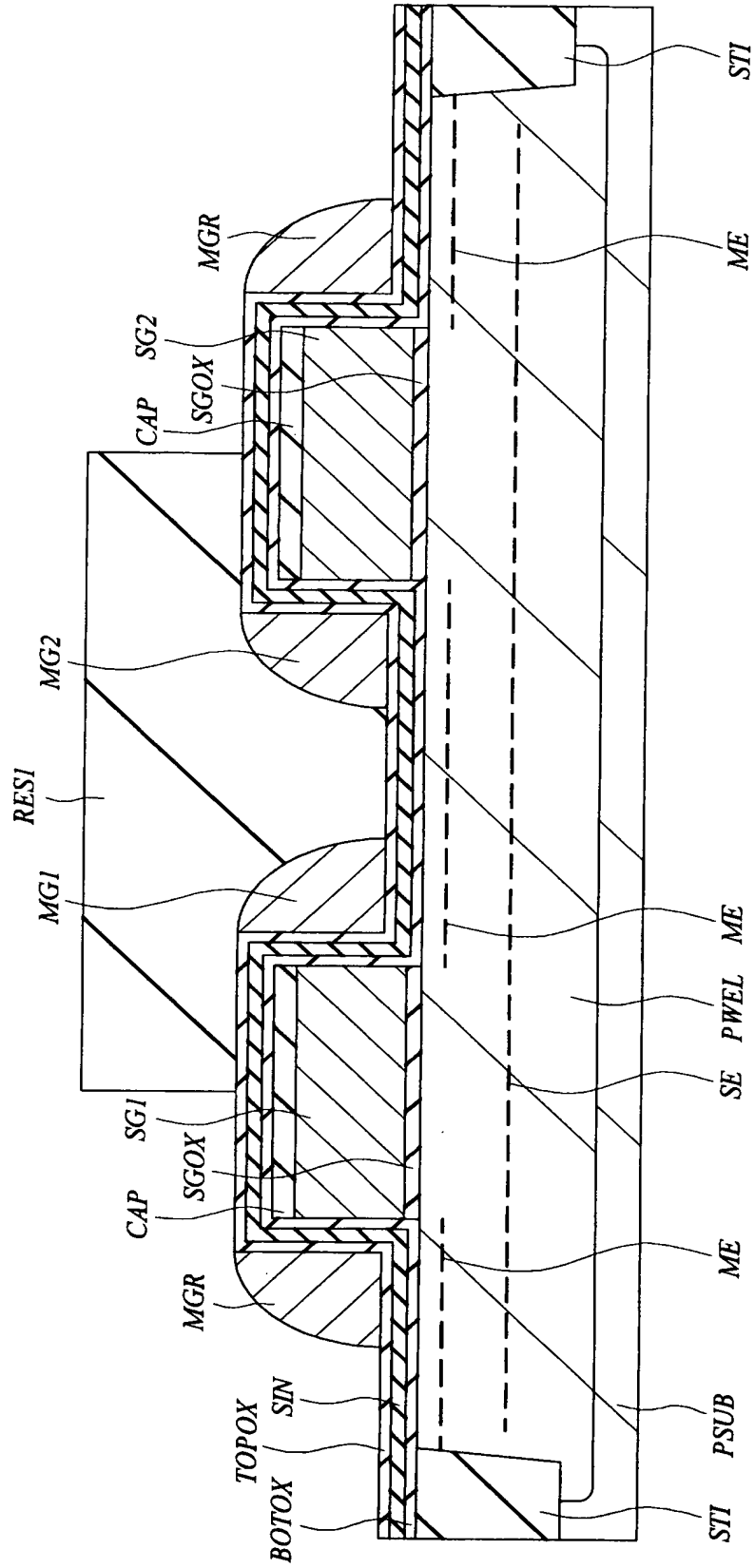
【図 20】

図 20



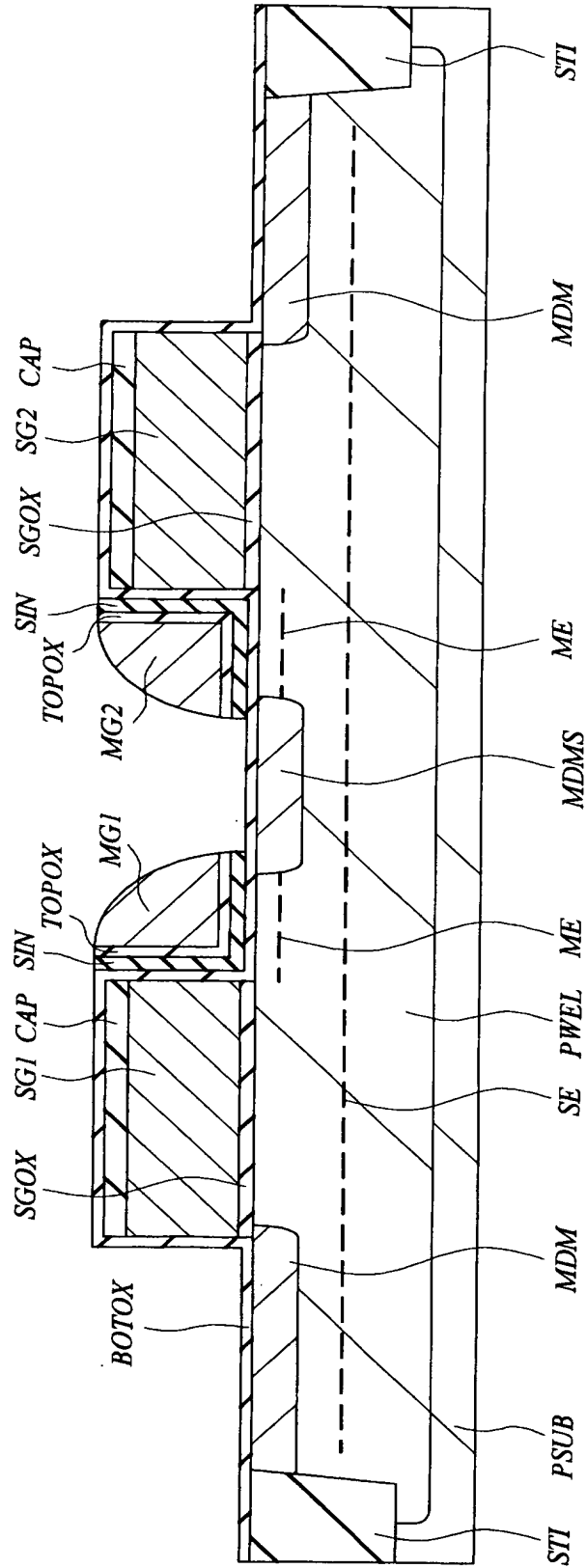
【図 21】

図 21



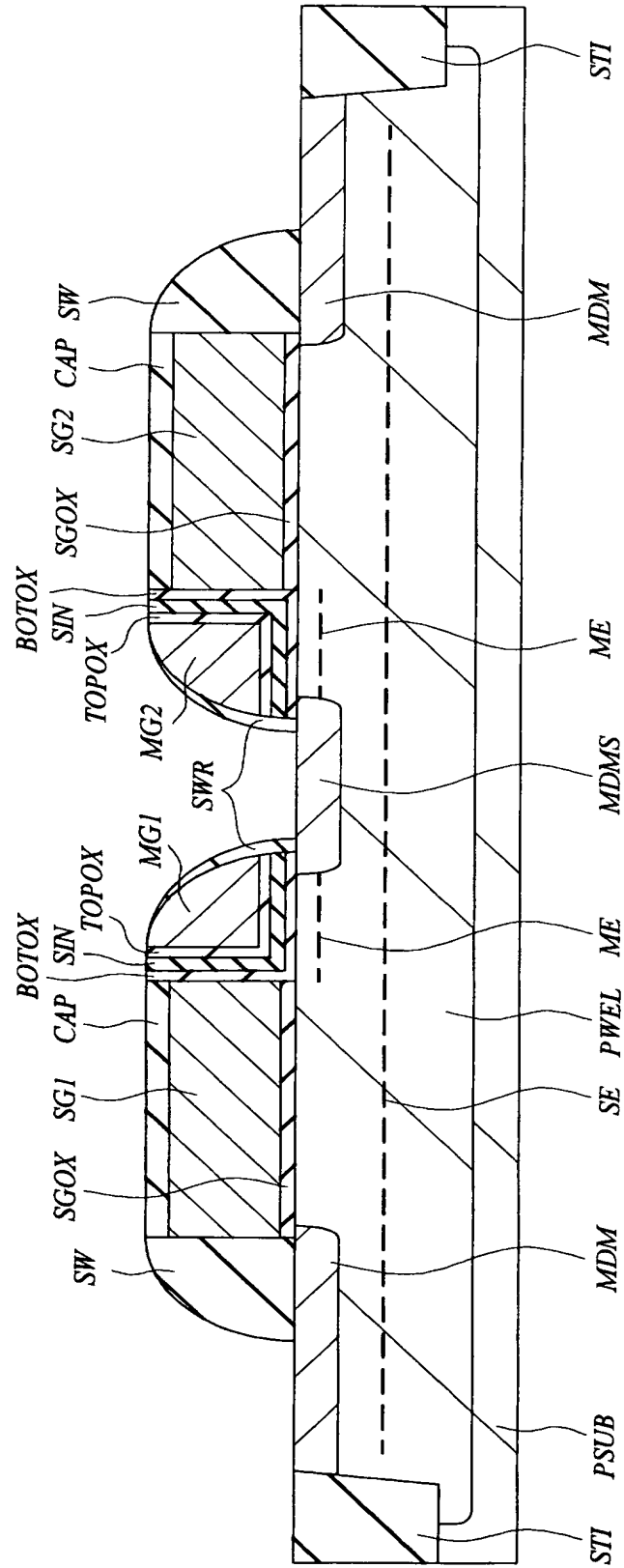
【図 22】

図 22



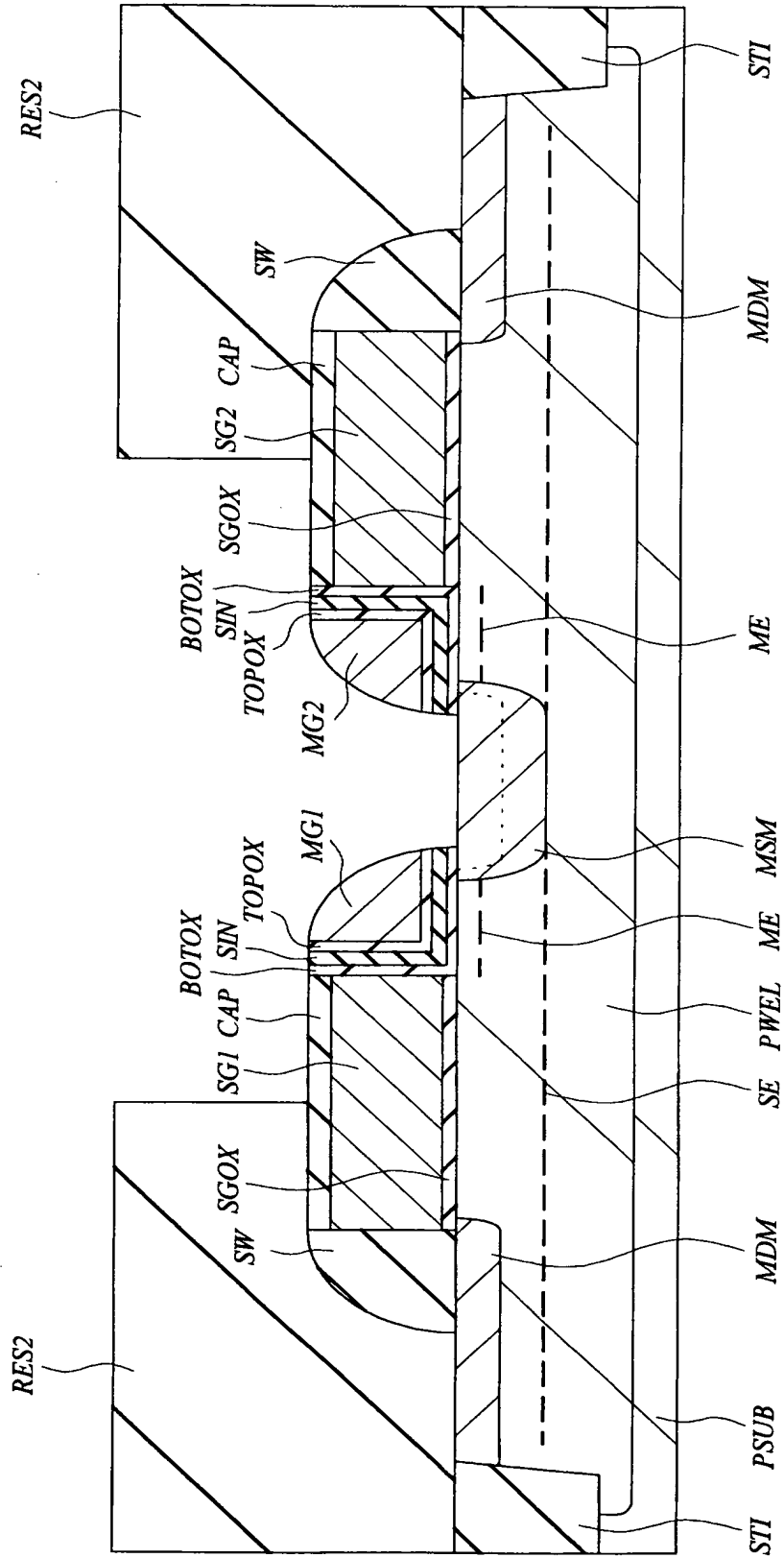
【図 23】

図 23



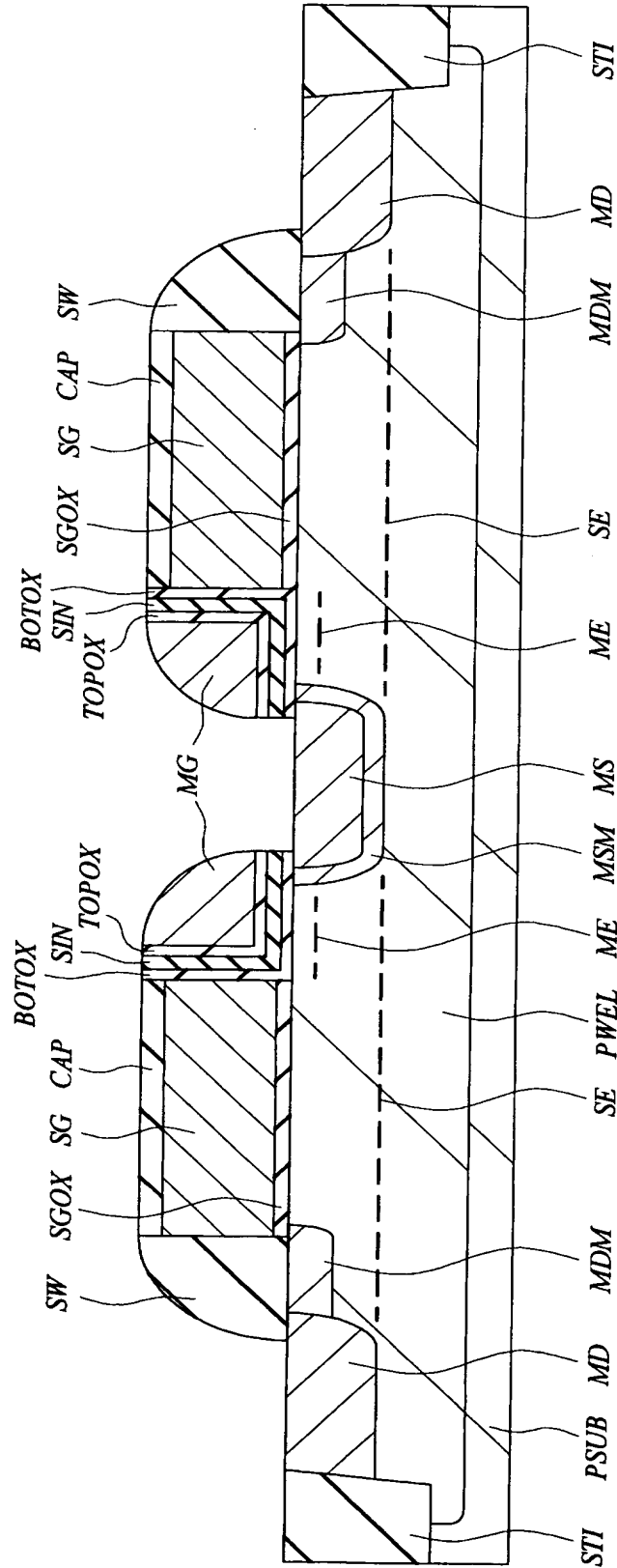
【図 24】

図 24

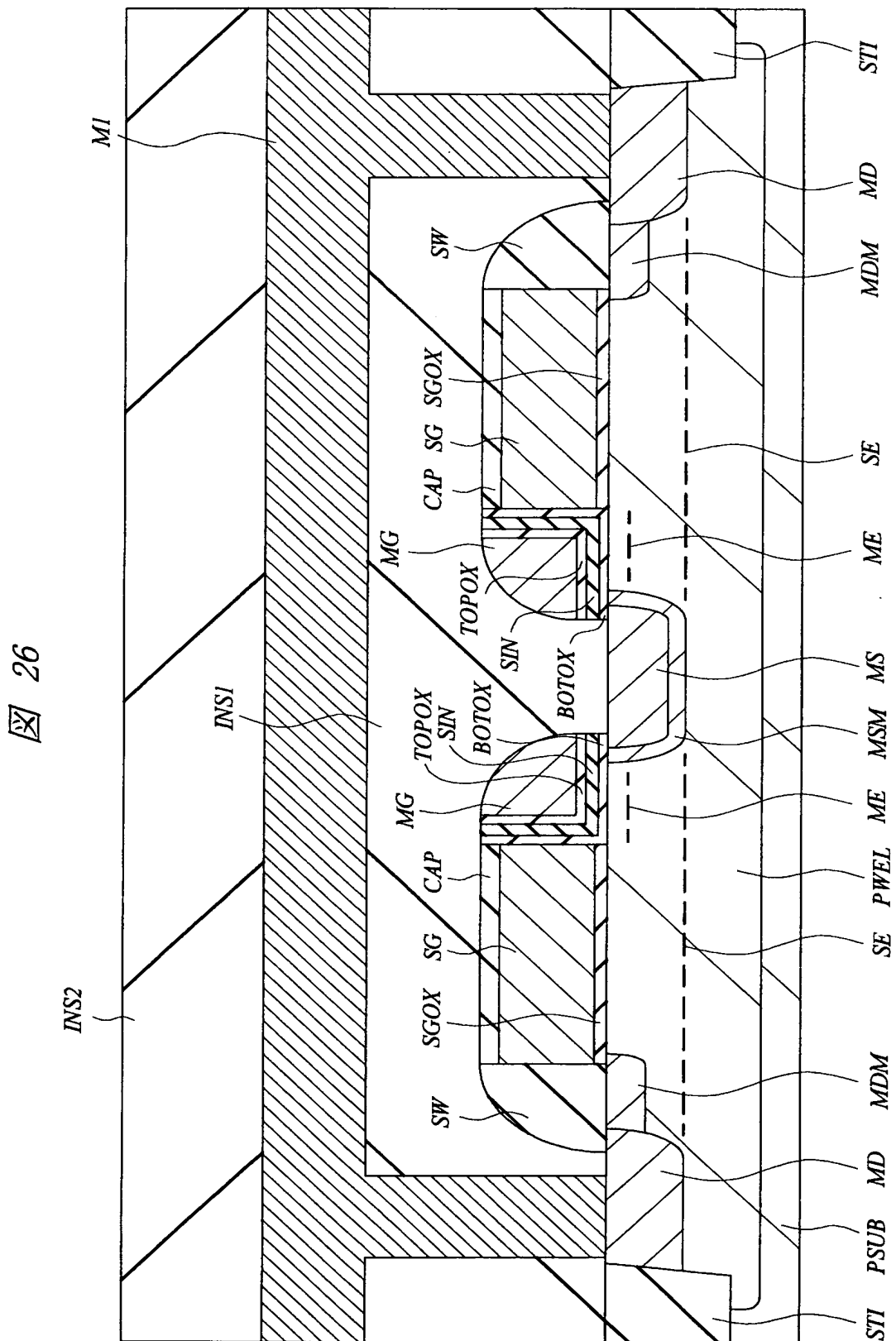


【図 25】

図 25

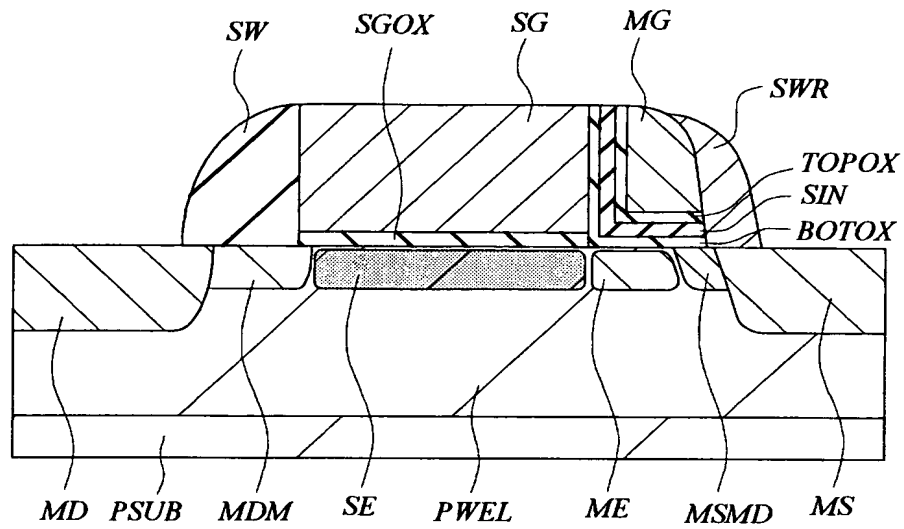


【図 26】



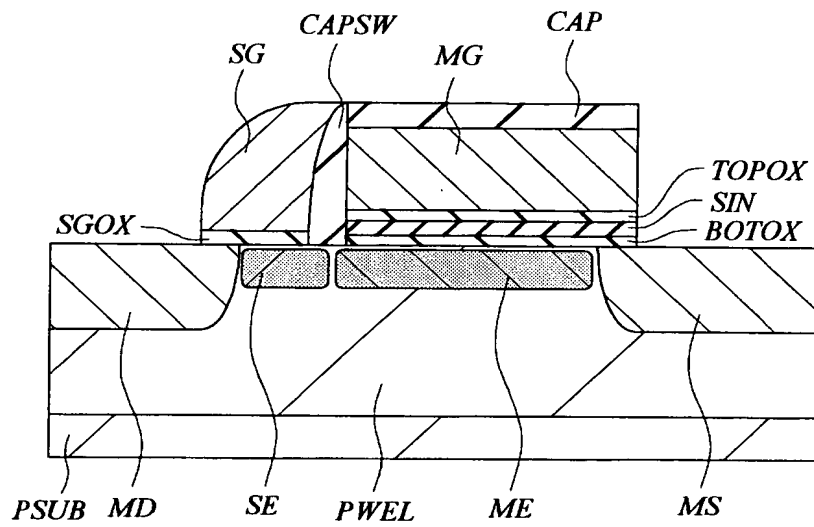
【図 27】

図 27



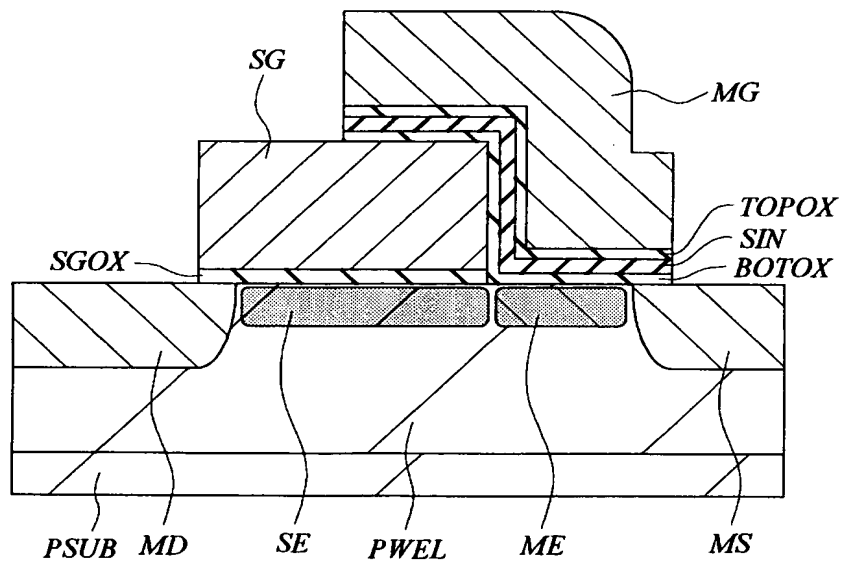
【図 28】

図 28



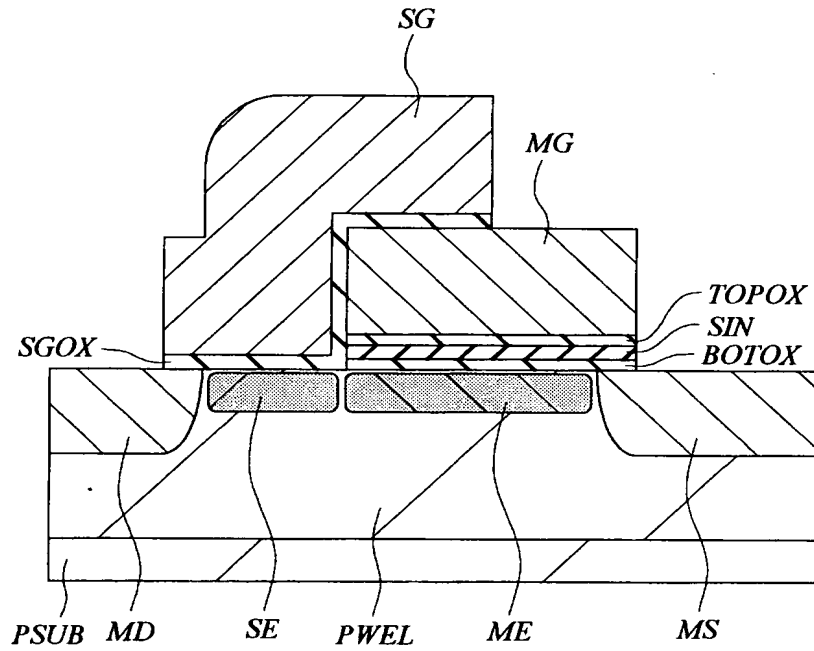
【図 29】

図 29



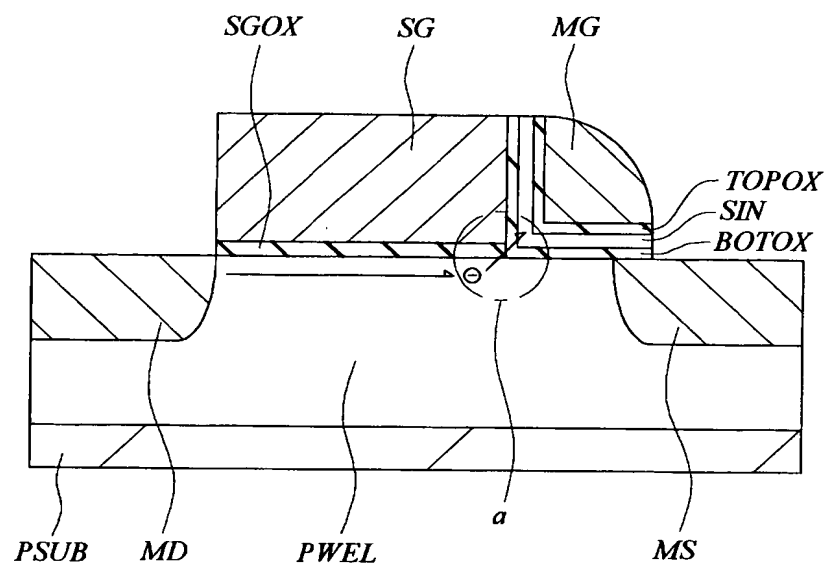
【図 30】

図 30



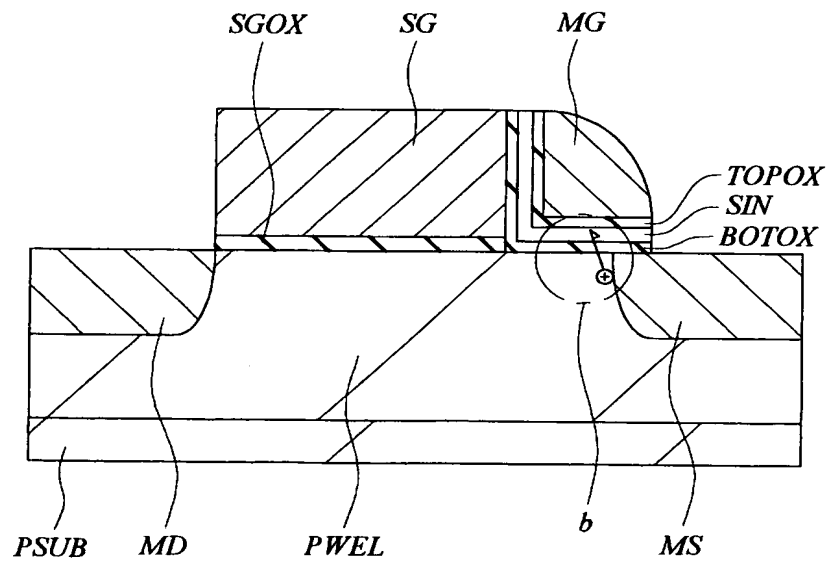
【図 31】

図 31



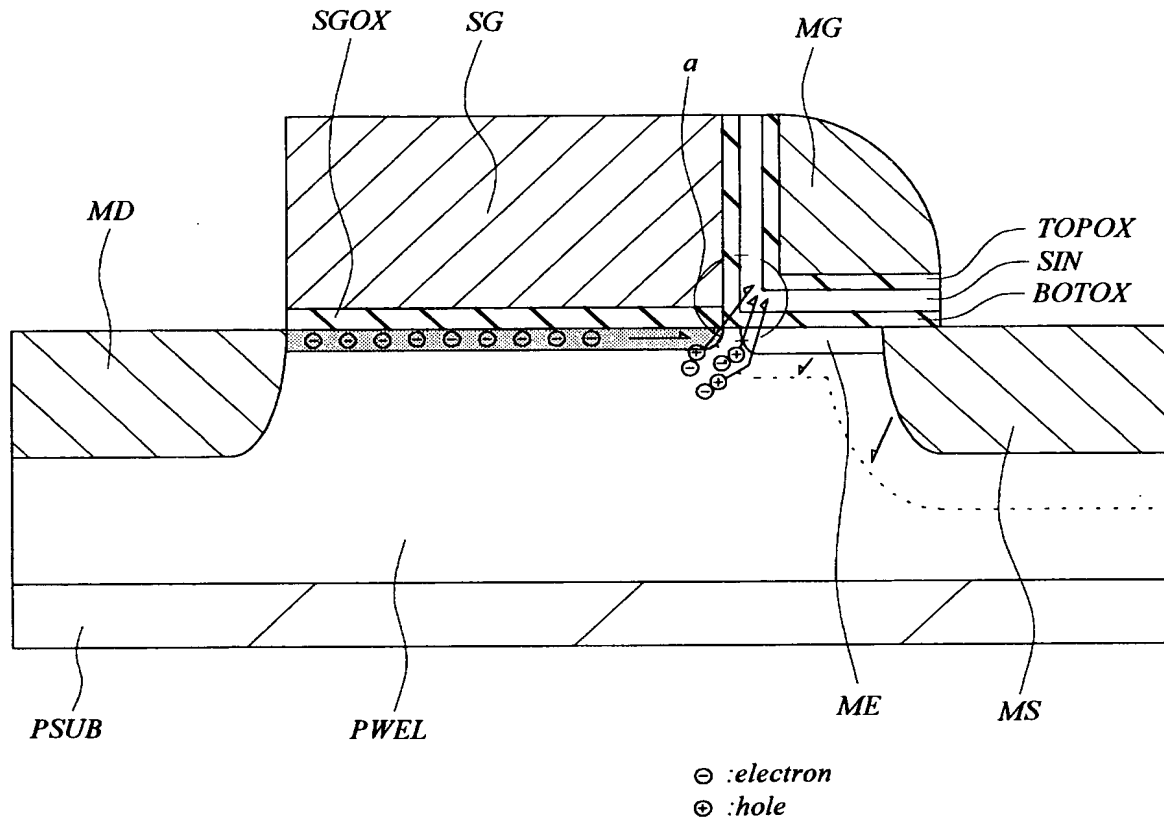
【図 32】

図 32



【図 33】

図 33



MG : メモリゲート電極
SIN : 窒化シリコン膜
BOTOX, TOPOX : 酸化膜
SG : 選択ゲート電極

SGOX : ゲート絶縁膜
MS : ソース領域
MD : ドレイン領域
ME : n型不純物領域

【書類名】 要約書

【要約】

【課題】 不揮発性半導体記憶装置の特性を向上させる。

【解決手段】 電荷を蓄積するための窒化シリコン膜S I Nと、その上下に位置する酸化膜B O T O X、T O P O XとからなるO N O膜、その上部のメモリゲート電極M G、その側部にO N O膜を介して位置する選択ゲート電極S G、その下部に位置するゲート絶縁膜S G O X、ソース領域M Sおよびドレイン領域M Dを有するメモリセルの選択ゲート電極S Gとソース領域M Sに電位を印加し、チャネルを流れる電子を、選択トランジスタのチャネル端とメモリゲート電極M G下のn型不純物領域M E端との間の高電界で加速させることにより、インパクトイオン化によりホットホールを生成させ、このホットホールをメモリゲート電極M Gに印加されている負電位により窒化シリコン膜S I N中に注入し、消去を行う。

【選択図】 図 3 3

特願 2 0 0 3 - 4 2 0 9 1 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ